

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-288457

(43)Date of publication of application : 31.10.1995

(51)Int.Cl.

H03K 17/693
G11C 11/418
H03K 17/04

(21)Application number : 07-038218

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.02.1995

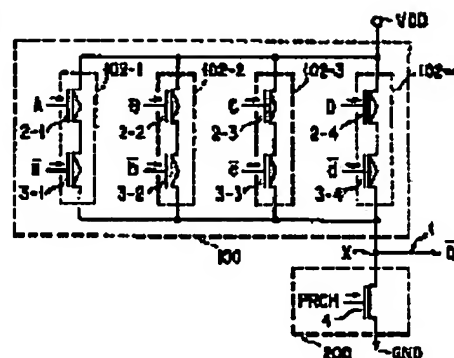
(72)Inventor : OSAWA TAKASHI

(30)Priority

Priority number : 06 28593 Priority date : 25.02.1994 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device which can fast select even a large number of data.**CONSTITUTION:** This semiconductor integrated circuit device is provided with a data selection circuit 100 which is connected to a 1st power terminal VDD, a precharge circuit 200 which is connected to a 2nd power terminal GND and receives a precharge signal, and a wiring 1 which is connected to a common connection point X between both circuits 100 and 200. The circuit 100 includes at least the 1st and 2nd data transfer circuits 102-1 and 102-2. Thus a 1st input data signal A and a 1st selection signal Ba are inputted to the circuit 102-1, and a 2nd input data signal B and a 2nd selection signal Bb are inputted to the circuit 102-2 respectively.

LEGAL STATUS

[Date of request for examination] 22.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3321329

[Date of registration] 21.06.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3321329号
(P3321329)

(45)発行日 平成14年9月3日(2002.9.3)

(24)登録日 平成14年6月21日(2002.6.21)

(51)Int.Cl.⁷

識別記号

F I

H 0 3 K 17/693
17/04

H 0 3 K 17/693
17/04

A
E

請求項の数23(全 27 頁)

(21)出願番号 特願平7-38218

(22)出願日 平成7年2月27日(1995.2.27)

(65)公開番号 特開平7-288457

(43)公開日 平成7年10月31日(1995.10.31)

審査請求日 平成11年10月22日(1999.10.22)

(31)優先権主張番号 特願平6-28593

(32)優先日 平成6年2月25日(1994.2.25)

(33)優先権主張国 日本(J P)

(73)特許権者 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 大沢 隆

神奈川県川崎市幸区小向東芝町1番地

株式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦

審査官 宮島 郁美

(56)参考文献 特開 昭62-88598 (J P, A)

特開 昭60-55458 (J P, A)

(58)調査した分野(Int.Cl.⁷, D B名)

H03K 17/00 - 17/70

(54)【発明の名称】 半導体集積回路装置

1

(57)【特許請求の範囲】

【請求項1】 第1、第2の電源端子と前記第1の電源端子に接続された、第1の入力データ信号および第1の選択信号が入力される第1のデータ伝達回路、並びに第2の入力データ信号および第2の選択信号が入力される第2のデータ伝達回路を少なくとも含むデータ選択回路と、

前記第2の電源端子に接続された、プリチャージ信号が入力されるプリチャージ回路と、

前記データ選択回路と前記プリチャージ回路との共通ノードに接続された配線とを具備し、

前記第1の選択信号の電位を前記第1のデータ伝達回路に第1のレベルとして入力し、前記第2の選択信号の電位を前記第2のデータ伝達回路に前記第1のレベルと異なる第2のレベルとして入力し、前記第1、第2の入力

2

データ信号のいずれか一方のデータ信号を前記共通ノードに伝えることを特徴とする半導体集積回路装置。

【請求項2】 第1、第2の電源端子と前記第1の電源端子に接続された、第1の入力データ信号および第1の選択信号が入力される第1のデータ伝達回路、並びに第2の入力データ信号および第2の選択信号が入力される第2のデータ伝達回路を少なくとも含むデータ選択回路と、

前記第2の電源端子に接続された、プリチャージ信号が入力されるプリチャージ回路と、

前記データ選択回路と前記プリチャージ回路との共通ノードに接続された配線とを具備し、

前記第1、第2の選択信号の電位を前記第1、第2のデータ伝達回路に同一レベルとして入力し、前記第1、第2の入力データ信号の論理和を前記共通ノードに伝える

3

ことを特徴とする半導体集積回路装置。

【請求項3】 第1、第2の電源端子と前記第1の電源端子に接続された、第1の入力データ信号および第1の選択信号が入力される第1のデータ伝達回路、並びに第2の入力データ信号および第2の選択信号が入力される第2のデータ伝達回路を少なくとも含むデータ選択回路と、

前記第2の電源端子に接続された、プリチャージ信号が入力されるプリチャージ回路と、

前記データ選択回路と前記プリチャージ回路との共通ノードに接続された配線とを具備し、

前記第1、第2のデータ伝達回路が、前記第1、第2の選択信号に基いて、前記第1、第2の入力データ信号を前記共通ノードに伝えた後、前記プリチャージ回路により、前記共通ノードをプリチャージすることを特徴とする半導体集積回路装置。

【請求項4】 前記第1のデータ伝達回路に前記第1の選択信号の電位を第1のレベルとして入力し、前記第2のデータ伝達回路に前記第2の選択信号の電位を前記第1のレベルと異なる第2のレベルとして入力し、前記第1、第2の入力データ信号のいずれか一方のデータ信号を前記共通ノードに伝えることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記第1、第2のデータ伝達回路に前記第1、第2の選択信号の電位を同一レベルとして入力し、前記第1、第2の入力データ信号の論理和を前記共通ノードに伝えることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項6】 前記第1のデータ伝達回路は、前記第1の入力データ信号をゲートに受ける第1の絶縁ゲート型FETと、前記第1の選択信号をゲートに受け、前記第1の絶縁ゲート型FETと直列に接続される第2の絶縁ゲート型FETとを含み、

前記第2のデータ伝達回路は、前記第2の入力データ信号をゲートに受ける第3の絶縁ゲート型FETと、前記第2の選択信号をゲートに受け、前記第3の絶縁ゲート型FETと直列に接続される第4の絶縁ゲート型FETとを含むことを特徴とする請求項1乃至請求項5いずれか一項に記載の半導体集積回路装置。

【請求項7】 前記第1の絶縁ゲート型FET、前記第2の絶縁ゲート型FET、前記第3の絶縁ゲート型FET、前記第4の絶縁ゲート型FETはそれぞれ、Pチャネル型であることを特徴とする請求項6に記載の半導体集積回路装置。

【請求項8】 第1、第2の電源端子と前記第1の電源端子に接続された、第1の入力データ信号および第1の選択信号が入力される第1のデータ伝達回路、並びに第2の入力データ信号および第2の選択信号が入力される第2のデータ伝達回路を少なくとも含むデータ選択回路と、

4

前記第2の電源端子に接続された、プリチャージ信号が入力されるプリチャージ回路と、

前記データ選択回路と前記プリチャージ回路との共通ノードに接続された配線とを具備し、

前記第1のデータ伝達回路は、前記第1の入力データ信号および前記第1の選択信号が入力される第1の選択用ゲート回路と、この第1の選択用ゲート回路の出力をゲートに受ける第1の絶縁ゲート型FETとを含み、

前記第2のデータ伝達回路は、前記第2の入力データ信号および前記第2の選択信号が入力される第2の選択用ゲート回路と、この第2の選択用ゲート回路の出力をゲートに受ける第2の絶縁ゲート型FETとを含むことを特徴とする半導体集積回路装置。

【請求項9】 前記第1の選択用ゲート回路は、前記第1の選択信号に基いて、前記第1の入力データ信号を第1の絶縁ゲート型FETのゲートに伝え、

前記第2の選択用ゲート回路は、前記第1の選択信号に基いて、前記第2の入力データ信号を第2の絶縁ゲート型FETのゲートに伝えることを特徴とする請求項8に記載の半導体集積回路装置。

【請求項10】 前記第1、第2の絶縁ゲート型FETは、ゲートに伝えられた前記第1、第2の入力データ信号を、前記共通ノードに伝えることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 前記第1の選択信号の電位を前記第1の選択用ゲート回路に第1のレベルとして入力し、前記第2の選択信号の電位を前記第2の選択用ゲート回路に前記第1のレベルと異なる第2のレベルとして入力し、前記第1、第2の入力データ信号のいずれか一方のデータ信号を、前記共通ノードに伝えることを特徴とする請求項10に記載の半導体集積回路装置。

【請求項12】 前記第1、第2の選択信号の電位を前記第1、第2の選択用ゲート回路に同一レベルとして入力し、前記第1、第2の入力データ信号の論理和を前記共通ノードに伝えることを特徴とする請求項10に記載の半導体集積回路装置。

【請求項13】 前記第1、第2の入力データ信号を、前記共通ノードに伝えた後、前記プリチャージ回路により、前記共通ノードをプリチャージすることを特徴とする請求項10乃至請求項12いずれか一項に記載の半導体集積回路装置。

【請求項14】 前記第1の絶縁ゲート型FET、前記第2の絶縁ゲート型FETはそれぞれ、Pチャネル型であることを特徴とする請求項8乃至請求項13いずれか一項に記載の半導体集積回路装置。

【請求項15】 前記共通ノードに接続された、この共通ノードの電位を、所定の電位に固定する電位固定回路をさらに具備することを特徴とする請求項1乃至請求項14いずれか一項に記載の半導体集積回路装置。

【請求項16】 前記電位固定回路は、ラッチ回路であ

ることを特徴とする請求項15に記載の半導体集積回路装置。

【請求項17】 活性期間の間、前記第1、第2のデータ伝達回路はそれぞれ前記第1、第2の選択信号により選択され、前記第1、第2の選択信号の初期電位レベル遷移はそれぞれ、前記第1、第2の入力データ信号の初期電位レベル遷移以前に始まることを特徴とする請求項1乃至請求項16いずれか一項に記載の半導体集積回路装置。

【請求項18】 入力バッファと、
出力バッファと、
複数のメモリセルを含むメモリセルアレイと、
前記出力バッファに接続されたリード用マルチプレクサおよび前記入力バッファに接続されたライト用マルチプレクサを含むマルチプレクサと、
前記メモリセルアレイと前記マルチプレクサとを電気的に接続する複数のリードライトデータ線と、
前記メモリセルアレイと前記マルチプレクサとを電気的に接続する前記リードライトデータ線と対をなす複数の反転リードライトデータ線と、
複数のマルチプレクス信号を発生するマルチプレクス信号生回路とを具備することを特徴とする半導体集積回路装置。

【請求項19】 前記リード用マルチプレクサは、第1のマルチプレクス回路と、第2のマルチプレクス回路とを含み、
前記第1のマルチプレクス回路は、
第1の電源端子に接続された、第1のリードライトデータ線の入力データ信号および第1のマルチプレクス信号が入力される第1のデータ伝達回路、並びに第2のリードライトデータ線の入力データ信号および第2のマルチプレクス信号が入力される第2のデータ伝達回路を少なくとも含む第1のデータ選択回路と、第2の電源端子に接続された、プリチャージ信号が入力される第1のプリチャージ回路と、前記第1のデータ選択回路と前記第1のプリチャージ回路との共通ノードに接続された第1の配線とを含み、
前記第2のマルチプレクス回路は、
前記第1の電源端子に接続された、第1の反転リードライトデータ線の入力データ信号および前記第1のマルチプレクス信号が入力される第3のデータ伝達回路、並びに第2の反転リードライトデータ線の入力データ信号および前記第2のマルチプレクス信号が入力される第4のデータ伝達回路を少なくとも含む第2のデータ選択回路と、前記第2の電源端子に接続された、前記プリチャージ信号が入力される第2のプリチャージ回路と、前記第2のデータ選択回路と前記第2のプリチャージ回路との共通ノードに接続された第2の配線とを含むことを特徴とする請求項18に記載の半導体集積回路装置。

【請求項20】 入力バッファと、

出力バッファと、

複数のメモリセルを含むメモリセルアレイと、
前記出力バッファに接続されたリード用マルチプレクサおよび前記入力バッファに接続されたライト用マルチプレクサを含むマルチプレクサと、
前記メモリセルアレイと前記マルチプレクサとを電気的に接続する複数のリードライトデータ線と、
前記メモリセルアレイと前記マルチプレクサとを電気的に接続する前記リードライトデータ線と対をなす複数の反転リードライトデータ線と、
複数のマルチプレクス信号を発生するマルチプレクス信号生回路と、
出力バッファとリード用マルチプレクサとを接続する配線に接続されたテスト回路とを具備することを特徴とする半導体集積回路装置。

【請求項21】 前記リード用マルチプレクサは、第1のマルチプレクス回路と、第2のマルチプレクス回路とを含み、

前記第1のマルチプレクス回路は、

20 第1の電源端子に接続された、第1のリードライトデータ線の入力データ信号および第1のマルチプレクス信号が入力される第1のデータ伝達回路、並びに第2のリードライトデータ線の入力データ信号および第2のマルチプレクス信号が入力される第2のデータ伝達回路を少なくとも含む第1のデータ選択回路と、第2の電源端子に接続された、プリチャージ信号が入力される第1のプリチャージ回路と、前記第1のデータ選択回路と前記第1のプリチャージ回路との共通ノードに接続された第1の配線とを含み、

30 前記第2のマルチプレクス回路は、

前記第1の電源端子に接続された、第1の反転リードライトデータ線の入力データ信号および前記第1のマルチプレクス信号が入力される第3のデータ伝達回路、並びに第2の反転リードライトデータ線の入力データ信号および前記第2のマルチプレクス信号が入力される第4のデータ伝達回路を少なくとも含む第2のデータ選択回路と、前記第2の電源端子に接続された、前記プリチャージ信号が入力される第2のプリチャージ回路と、前記第2のデータ選択回路と前記第2のプリチャージ回路との共通ノードに接続された第2の配線とを含むことを特徴とする請求項20に記載の半導体集積回路装置。

【請求項22】 ソース／ドレインの一方が第1の電源重位に接続され、第1の入力データ信号をゲートに受ける第1の絶縁ゲート型FETと、
ソース／ドレインの一方が前記第1の絶縁ゲート型FETのソース／ドレインの一方に接続され、ソース／ドレインの他方が前記第1の絶縁ゲート型FETのソース／ドレインの他方に接続され、第2の入力データ信号をゲートに受ける第2の絶縁ゲート型FETと、

50 前記第1の絶縁ゲート型FETのソース／ドレインの他

方、および前記第2の絶縁ゲート型FETのソース／ドレインの他方に接続された配線と、
プリチャージ信号に応じて、前記第1の電源電位とは異なる第2の電位を前記配線に供給し、前記配線をプリチャージする第3の絶縁ゲート型FETとを具備することを特徴とする半導体集積回路装置。

【請求項23】 ソース／ドレインの一方が第1の電源電位に接続され、第1の入力データ信号をゲートに受ける第1の絶縁ゲート型FETと、

ソース／ドレインの一方が前記第1の絶縁ゲート型FETのソース／ドレインの一方に接続され、ソース／ドレインの他方が前記第1の絶縁ゲート型FETのソース／ドレインの他方に接続され、第2の入力データ信号をゲートに受ける第2の絶縁ゲート型FETと、

ソース／ドレインの一方が前記第1の電源電位に接続され、前記第1の入力データ信号に相補な第3の入力データ信号をゲートに受ける第3の絶縁ゲート型FETと、
ソース／ドレインの一方が前記第3の絶縁ゲート型FETのソース／ドレインの一方に接続され、ソース／ドレインの他方が前記第3の絶縁ゲート型FETのソース／ドレインの他方に接続され、前記第2の入力データ信号に相補な第4の入力データ信号をゲートに受ける第4の絶縁ゲート型FETと、

前記第1の絶縁ゲート型FETのソース／ドレインの他方、および前記第2の絶縁ゲート型FETのソース／ドレインの他方に接続された第1の配線と、

前記第3の絶縁ゲート型FETのソース／ドレインの他方、および前記第4の絶縁ゲート型FETのソース／ドレインの他方に接続された第2の配線と、

プリチャージ信号に応じて、前記第1の電源電位とは異なる第2の電位を前記第1の配線に供給し、前記第1の配線をプリチャージする第5の絶縁ゲート型FETと、
前記プリチャージ信号に応じて、前記第2の電位を前記第2の配線に供給し、前記第2の配線をプリチャージする第6の絶縁ゲート型FETとを具備することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置に係わり、特に複数本の信号線を一つの信号線に纏める、半導体集積回路装置に関する。

【0002】

【従来の技術】現在、複数本の信号線を一つの信号線に纏める、半導体集積回路装置として、マルチプレクサがある。マルチプレクサは、複数本の信号線から、一つの信号線を選び、この選ばれた信号線と上記一つの信号線とを電気的に接続する。

【0003】CMOS型のトランジスタ回路からなるマルチプレクサとしては、図37に示されるようなトランスファ・ゲート型か、あるいは図38に示されるような

クロック・インバータ型が考えられていた。何れの場合も、選択信号a、Ba、b、Bb、c、Bc、d、Bd（先頭の符号“B”は反転信号を示す）のうち、高レベルに対するデータが選択されて、出力端子である共通ノードXに伝達される。なお、参照符号A～Dに示される信号はそれぞれ入力データ信号であり、参照符号Qに示される信号Qは、出力データ信号である。

【0004】しかし、図37、図38に示すマルチプレクサでは、選択されるデータの数が多いとき、ジャンクション容量やゲート容量など、共通ノードXにつく寄生容量が大きくなり、入力されたデータを選択して出力する、というデータ選択動作の高速化が損なわれる可能性があった。

【0005】

【発明が解決しようとする課題】この発明の目的は、選択されるデータの数が多いときでも、高速な選択動作が可能である、半導体集積回路装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の態様に係る半導体集積回路装置では、第1の電源端子に接続されたデータ選択回路と、第2の電源端子に接続された、プリチャージ信号が入力されるプリチャージ回路と、前記データ選択回路と前記プリチャージ回路との共通ノードに接続された配線とを持つ。そして、前記データ選択回路は、少なくとも2つの、第1、第2のデータ伝達回路を含み、第1の入力データ信号および第1の選択信号を、前記第1のデータ伝達回路に入力し、第2の入力データ信号および第2の選択信号を、前記第2のデータ伝達回路に入力したことを特徴としている。

【0007】また、この発明の第2の態様に係る半導体集積回路装置では、前記共通ノードに、この共通ノードの電位を、所定の電位に固定する電位固定回路を接続したことを特徴としている。

【0008】また、この発明の第3の態様に係る半導体集積回路装置では、半導体記憶装置のデータマルチプレクス回路に、上記第1の態様、あるいは上記第2の態様に係る半導体集積回路装置を用いたことを特徴としている。

【0009】また、この発明の第4の態様に係る半導体集積回路装置では、半導体記憶装置のデータマルチプレクス回路に、上記第1の態様、あるいは上記第2の態様に係る半導体集積回路装置を用いるとともに、選択信号で入力データ信号を選ぶノーマルモードに加え、選択信号で全ての入力データ信号を選ぶテストモードを追加したことを特徴としている。

【0010】

【作用】上記第1の態様に係る構成を持つ半導体集積回路装置であると、共通ノードに付加される寄生容量、特

にジャンクション容量が、第1のデータ伝達回路と共通ノードとの接続点と、第2のデータ伝達回路と共通ノードとの接続点と、プリチャージ回路と共通ノードとの接続点だけとなる。よって、共通ノードに付加される寄生容量は小さくなり、上記半導体集積回路装置は、高速な動作をする。

【0011】上記第2の態様に係る構成を持つ半導体集積回路装置であると、上記目的が達成されるとともに、半導体集積回路装置は、ノイズによる誤動作が、さらに抑制される。共通ノードの電位は、プリチャージ回路を遮断してから、データ伝達回路を導通させるまでの一時期、フローティングとなる。この共通ノードに、電位固定回路を接続することで、共通ノードの電位がフローティングとなる上記一時期、共通ノードの電位を所定の電位に固定できる。よって、ノイズによる誤動作が抑制される。

【0012】上記第3の態様に係る構成を持つ半導体集積回路装置であると、データマルチプレクス回路の寄生容量が小さくなる。よって、半導体記憶装置は、高速な動作をする。

【0013】上記第4の態様に係る構成を持つ半導体集積回路装置であると、テスト回路が簡略化される。上記第1の態様、あるいは上記第2の態様に係る半導体集積回路装置では、全ての入力データ信号を共通ノードに同時に伝えることで、論理和演算が可能である。この論理和演算機能を使って、データの正／誤を判断する。即ちデータマルチプレクス回路が、テスト回路の論理和演算回路として使え、結果、テスト回路が簡略化される。

【0014】

【実施例】以下、この発明を実施例により説明する。この説明に際し、全ての図面において、同一の部分には同一の参照符号を付し、重複する説明は避けることにする。図1は、この発明の第1の実施例に係る半導体集積回路装置のブロック図、図2は、この発明の第1の実施例に係る半導体集積回路装置の回路図である。

【0015】図1に示すように、この実施例に係る集積回路装置は、高電位電源端子VDDと接地端子GNDとの間に直列に接続された、データ選択回路100とプリチャージ回路200を含む。回路100と回路200との間には、配線1が配置されている。この配線1は、回路100と回路200との共通ノードXに接続されている。共通ノードXは、この実施例に係る集積回路装置の出力端子である。出力端子（共通ノードX）からは、出力データ信号BQが出力される。なお、出力データ信号BQの先頭の符号“B”は、入力データ信号のレベルが反転されて出力されていることを示す。また、この明細書では、先頭の符号“B”は、上記のように、入力信号のレベルが反転されて出力されること、あるいは信号自体が負論理であること、のいずれかを指す、と定義する。また、図面では、先頭の符号“B”は、符号“-”（パ

一)で表すことにする。

【0016】図2に示すように、データ選択回路100は、複数のPMOS直列回路102を含む。複数のPMOS直列回路102は、端子VDDと共通ノードXとの間に、並列に接続される。PMOS直列回路102は、互いに直列接続された2個のPチャネル型MOSFET（以下PMOSと称す）2とPMOS3を含む。端子VDDに接続されたPMOS2は、入力データ信号を受けるためのトランジスタで、共通ノードXに接続されたPMOS3は、データ選択信号を受けるためのトランジスタである。

【0017】この実施例に係る集積回路装置では、PMOS直列回路102が、4セット（102-1～102-4）設けられている。PMOS直列回路102-1は、PMOS2-1とPMOS3-1を含み、他のPMOS直列回路102-2、102-3および102-4はそれぞれ、PMOS2-2と3-2、PMOS2-3と3-3、PMOS2-4と3-4を含んでいる。PMOS2-1～2-4のゲートにはそれぞれ、入力データ信号A～Dが供給される。PMOS2-1～2-4は、データ信号A～Dの電位が低レベルとなったときに導通する。一方、PMOS3-1～3-4のゲートにはそれぞれ、選択信号Ba～Bdが供給される。PMOS3-1～3-4は、選択信号Ba～Bdの電位が低レベルとなったときに導通する。

【0018】プリチャージ回路200は、端子GNDと共通ノードXとの間に直列に接続された1個のNチャネル型MOSFET（以下NMOSと称す）4を含む。NMOS4は、プリチャージ信号を受けるためのトランジスタであり、NMOS4のゲートには、プリチャージ信号PRCHが供給される。

【0019】NMOS4が持つ重要な機能のうち、一つの機能は、プリチャージ信号に応答して、出力信号BQの電位のレベルの初期状態を設定することである。他の機能は、プリチャージ信号に応答して、図1および図2に示す集積回路装置自体の、活性／非活性を、制御することである。

【0020】NMOS4は、信号PRCHが高レベルである期間、導通し、共通ノードXを接地電位にチャージする。このとき、出力信号BQの電位のレベルの初期状態は、接地電位である。同時に、共通ノードXが接地電位にチャージされるので、集積回路装置自体は、非活性となる。即ち、たとえデータ信号およびデータ選択信号が、データ選択回路100に入力されたとしても、共通ノードXの電位は、接地電位から、実質的に変わらない。

【0021】一方、NMOS4は、信号PRCHが低レベルである期間、遮断する。このとき、図1に示す集積回路装置自体は活性となり、PMOS直列回路100から出力された電流によって、共通ノードXは、所定の電位にチャージされる。

【0022】次に、図1および図2に示す集積回路装置の、基本的な動作について説明する。図3は、この発明の第1の実施例に係る集積回路装置の動作を示す動作波形図である。

【0023】図1および図2に示す集積回路装置では、選択信号Ba、Bb、Bc、Bdのうち、低レベルにあるものに対応するデータ信号A、B、C、Dが、共通ノードXに伝達される。つまり、プリチャージ信号PRCHを、はじめ高レベルとし、共通ノードXを低レベル（接地電位）に固定しておく（T1）。その後、プリチャージ信号PRCHを、低レベルに落とし（T2）、共通ノードXをフローティングローレベルにする（T3）。次に、選択信号Ba、Bb、Bc、Bdのうち、一つだけ低レベルとする。仮に信号Baとする（T4）。このとき、データ信号Aが高レベルから低レベルに遷移するか否かで、共通ノードXが高レベルにチャージされるか、低レベル（この実施例ではフローティング低レベル）のままとされるかが、決められる。図3では、データ信号Aが高レベルから低レベルに遷移する（T5）。よって、共通ノードXが高レベルに充電される（T6）。

【0024】図1および図2に示す集積回路装置のデータ信号A～Dのプリチャージレベルは、高レベルである（高レベルプリチャージ型）。高レベルプリチャージ型の集積回路装置では、入力データ信号の電位レベルが低レベルに遷移するかしないかで、入力データ信号が共通ノードXに伝えられる。

【0025】また、一つのデータ信号を出力した後、他のデータ信号を出力するときには、まず、選択信号Baを高レベルにする（T11）。この後、プリチャージ信号PRCHを高レベルとし（T12）、共通ノードXを低レベル（接地電位）にチャージする（T13）。この操作により、集積回路装置は、アクティブ期間から、プリチャージ期間に復帰する。この後、上記の動作を、他の選択信号Bb、Bc、Bdについて行えば、データ信号B、C、Dを、共通ノードXに伝えることができる。

【0026】以上のように、この発明の第1の実施例に係る集積回路装置は、例えばマルチプレクサとして機能できる。複数のデータ信号線から、一つのデータ信号線だけを選び、この選ばれたデータ信号線を、一つの配線1に電気的に接続できるためである。

【0027】図4は、図1および図2に示す集積回路装置の、共通ノードXにつく寄生容量を示す図である。同様に、図5は、図37に示すマルチプレクサの、共通ノードXにつく寄生容量を示す図、図8は、図38に示すマルチプレクサの、共通ノードXにつく寄生容量を示す図である。

【0028】図4に示すように、図1および図2に示す集積回路装置の、共通ノードXにつく寄生容量、特にPNジャンクション容量PN-Jは、選択信号Ba、B

b、Bc、Bdがゲートに入力されている、PMOS3-1～3-4のドレインのジャンクション容量が4つ、プリチャージ信号PRCHがゲートに入力されている、NMOS4のドレインのジャンクション容量が1つの、合計5つだけである。

【0029】これに対し、図5に示すように、図37に示すマルチプレクサの、共通ノードXにつくPNジャンクション容量PN-Jは、CMOS型トランスファ・ゲート回路のPMOSのドレインのジャンクション容量が4つ、NMOSのドレインのジャンクション容量が4つの、合計8つである。

【0030】また、図6に示すように、図38に示すマルチプレクサの、共通ノードXにつくPNジャンクション容量PN-Jは、CMOS型クロック・インバータ回路のPMOSのドレインのジャンクション容量が4つ、NMOSのドレインのジャンクション容量が4つの、合計8つである。

【0031】したがって、図1および図2に示す集積回路装置は、マルチプレクサとして機能できながらも、図37並びに図38に示したマルチプレクサに比べて、寄生容量が大幅に低減され、高速に動作する。

【0032】さらに、データ信号A、B、C、Dが高レベル（プリチャージ状態）から、低レベルへ変化するために、これらの信号が電源電圧VDDから、PMOSのしきい値電圧Vthの絶対値だけ下があれば、PMOS2（2-1～2-4）が導通してデータ信号が共通ノードXに伝達される。このために、非常に高速に、データ信号A、B、C、Dを共通ノードXに伝えることができる。

【0033】これらの利点から、図1および図2に示す集積回路装置は、図37に示したマルチプレクサ、図38に示したマルチプレクサのいずれよりも、高速に動作する。

【0034】基本的な構成と動作は、以上に述べた如くである。次に、この発明の第2の実施例について説明する。この第2の実施例は、この発明の具体的な応用例であり、この発明に係る集積回路装置を、ダイナミック型RAM（DRAM）のデータマルチプレクス回路に応用したものである。

【0035】図7は、この発明の第2の実施例に係るDRAMの概略的なブロック図、図8は、図7に示す16メガビットセルアレーの一つをより詳細に示したブロック図、図9は、図8に示す256キロビットセルアレーの一つをより詳細に示したブロック図、図10は、図9に示すDQバッファの一つをより詳細に示した回路図である。

【0036】図7に示すDRAMは、64メガビットDRAMである。図7に示すように64メガビットDRAMは、4個の16メガビットセルアレーA、B、C、Dを含む。

【0037】さらに図8に示すように、各16メガビッ

トセルアレーの中心には、ローデコーダが配置されている。ローデコーダには、13対のローアドレスA0R～A12R、BA0R～BA12Rが入力される。16メガビットセルアレーの一端には、カラムデコーダが配置されている。カラムデコーダには、8対のカラムアドレスA0C～A7C、BA0C～BA7Cが入力される。16メガビットセルアレーは、さらに64個の256キロビットセルアレーを含む。

【0038】図9に示すように、256キロビットセルアレー（ARY）の両側には、ビット線対プリチャージ回路（PC）、センスアンプ（SA）およびDQゲート（DQG）が配置されている。ビット線対プリチャージ回路（PC）は、ビット線対間（ビット線対は、ビット線BLと反転ビット線BBLとを含む。）の電位差をイコライズし、ビット線対をプリチャージする。ビット線対がプリチャージされた後、メモリセル（CELL）からデータ信号が読み出される。このとき、ビット線対間に、僅かな電位差が発生する。センスアンプ（SA）は、この僅かな電位差を増幅する。DQゲート（DQG）は、センスアンプ（SA）で増幅されたデータ信号を、信号CSLに基いて、データ線対（DQ線対は、DQ線DQと反転DQ線BDQとを含む。）に伝達する。信号CSLは、メモリセルアレーのカラムを選択するための信号であり、カラムデコーダから出力される。この実施例に係るDRAMでは、データ線対を、一個の256Kセルアレー（ARY）の両側に4対ずつ配置している。

【0039】この実施例に係るDRAMは、ノーマルリード動作時、センスアンプ（SA）で増幅されたデータ信号を、図9に示す4個のDQバッファ（DQB）に10 入力する。DQバッファ（DQB）に入力されたデータ信号は、DQバッファ（DQB）で、さらに増幅される。DQバッファ（DQB）で、さらに増幅されたデータ信号は、リードライトデータ線対（リードライトデータ線対は、リードライトデータ線RWDと反転リードライトデータ線BRWDとを含む。）に入力される。

【0040】図10に示すように、DQバッファ（DQB）は、DQ線対（DQ、BDQ）間の電位差をイコライズするDQ線イコライザ300と、データ信号を、DQ線対から内部DQ線対（DQI、BDQI）に伝達する伝達ゲート302と、内部DQ線対間の電位差をイコライズする内部DQ線イコライザ304と、内部DQ線対間の電位差を増幅するセンスアンプ306と、内部DQ線対のデータを、リードライトデータ線対（RWD、BRWD）に出力するRWD線対ドライビング回路308とを含む。

【0041】また、リードライトデータ線対間の電位差をイコライズするRWD線イコライザ310が、リードライトデータ線RWDと反転リードライトデータ線BRWDとの間に接続されている。

【0042】DQ線イコライザ300は、高電位電源端子VDDとDQ線との間に直列に接続されたPMOS321と、電源端子VDDとBDQ線との間に直列に接続されたPMOS322と、DQ線とBDQ線との間に直列に接続されたPMOS323とを含む。PMOSs321、322、323のゲートはそれぞれ、DQ線イコライズ信号CEQが供給される配線に接続されている。

【0043】伝達ゲート302は、DQ線とDQI線との間に直列に接続されたPMOS324と、BDQ線とBDQI線との間に直列に接続されたPMOS325とを含む。PMOSs324、325のゲートはそれぞれ、反転ラッチ信号BLATCHの反転信号LATCHが供給される配線に接続されている。

【0044】内部DQ線イコライザ304は、電源端子VDDとDQI線との間に直列に接続されたPMOS326と、電源端子VDDとBDQI線との間に直列に接続されたPMOS327と、DQI線とBDQI線との間に直列に接続されたPMOS328とを含む。PMOSs326、327、328のゲートはそれぞれ、DQ線イコライズ信号CEQが供給される配線に接続されている。

【0045】センスアンプ306は、電源端子VDDとDQI線との間に直列に接続されたPMOS329と、電源端子VDDとBDQI線との間に直列に接続されたPMOS330と、反転ラッチ信号BLATCHが供給される配線とDQI線との間に直列に接続されたNMOS331と、反転ラッチ信号BLATCHが供給される配線とBDQI線との間に直列に接続されたNMOS332とを含む。PMOS329のゲートはBDQI線に接続されている。PMOS330のゲートはDQI線に接続されている。NMOS331のゲートはBDQI線に接続されている。NMOS332のゲートはDQI線に接続されている。

【0046】RWD線対ドライビング回路308は、DQI線に接続された入力端子を持つ2入力のNORゲート333と、BDQI線に接続された入力端子を持つ2入力のNORゲート334と、NORゲート333の出力端子と低電位電源端子GNDとの間に直列に接続されたNMOS335と、NORゲート334の出力端子と電源端子GNDとの間に直列に接続されたNMOS336と、RWD線と電源端子GNDとの間に直列に接続されたNMOS337と、BRWD線と電源端子GNDとの間に直列に接続されたNMOS338とを含む。NORゲート333、334それぞれの他方の入力端子は、NANDゲート339の出力端子に接続されている。ブロックセレクションのためのアドレス信号群ADDRESSは、NANDゲート339の複数の入力端子に入力される。NMOSs335、338のゲートはそれぞれ、NORゲート334の出力端子に接続されている。

50 NMOSs336、337のゲートはそれぞれ、NOR

ゲート333の出力端子に接続されている。

【0047】RWD線イコライザ310は、電源端子VDDとRWD線との間に直列に接続されたPMOS340と、電源端子VDDとBRWD線との間に直列に接続されたPMOS341と、RWD線とBRWD線との間に直列に接続されたPMOS342とを含む。PMOS340、341、342のゲートはそれぞれ、RWD線反転イコライズ信号BRWDEQLが供給される配線に接続されている。

【0048】図11は、図10に示すDQバッファの動作を示す動作波形図である。図11に示すように、DQ線イコライズ信号CEQ、およびRWD線反転イコライズ信号BRWDEQLがそれぞれ、高レベルのとき、DQ線イコライザ300、内部DQ線イコライザ304、RWD線イコライザ310はオフしている。また、反転ラッチ信号BLATCHが、低レベルのとき、伝達ゲート302はオフしている。

【0049】この状態から、DQ線イコライズ信号CEQ、およびRWD線反転イコライズ信号BRWDEQLをそれぞれ低レベル、反転ラッチ信号BLATCHを高レベルにすると、DQ線イコライザ300、内部DQ線イコライザ304、RWD線イコライザ310および伝達ゲート302はそれぞれオンする。これらの回路がオンされると、DQ線対間の電位差、およびRWD線対間の電位差がそれぞれ、高レベルにイコライズされる（高レベルプリチャージ）。この後、DQ線イコライズ信号CEQおよびRWD線反転イコライズ信号BRWDEQLをそれぞれ高レベルとすると、DQ線イコライザ300、内部DQ線イコライザ304、RWD線イコライザ310は、再びオフする。データ信号は、伝達ゲート302を介して、DQ線対から内部DQ線対に伝達される。内部DQ線対に伝達されたデータ信号は、RWD線対ドライビング回路308のNORゲート333、334に入力される。NORゲート333、334が、NANDゲート339の出力信号によって、活性状態となっていると、内部DQ線対に伝達されたデータ信号のレベルに応じて、NMOS337、338のいずれかがオンする。例えばNMOS338がオンすると、BRWD線の電荷が、NMOS338を介して電源端子GNDに向かって放電され、BRWD線の電位は、高レベルから低レベルとなる。このとき、RWD線の電位は、高レベルのままである。このようにして、DQ線対から、RWD線対へとデータ信号が伝えられる。

【0050】なお、NMOS337がオンしたときには、RWD線の電荷が放電されて、RWD線の電位は高レベルから低レベルとなる。このとき、BRWD線の電位は、高レベルのままである。

【0051】この実施例に係るDRAMでは、ローデコーダを挟んで配置されている2個の256Kセルアレー(ARY)が同時に活性化され、図9に示すカラム選択

信号CSLにより両側4対ずつ、計8対のDQ線対にデータが選択的に伝えられる。その後、8個のDQバッファ(DQB)でデータ信号が増幅されて、8対のRWD線にデータ信号が伝わることになる。このようなリード動作は、4個の16メガビットセルアレー全てにおいて同時に平行して行われるので、結局チップ全体では $8 \times 4 = 32$ ビットのデータがRWD線対を伝わってチップ中央のリードマルチプレクサ&ライトマルチプレクサ

(マルチプレクス回路)に入力されることとなる。上記マルチプレクサで5対のアドレス(A7C~A12C、BA7C~BA12C)によって1対のリードライトデータ線対RWDのデータが選択されてリードデータ線対RDに出力される。これが選択回路を経由して出力バッファに入り、出力パッドDoutに向けて出力される。図10に示すDQバッファは、リードライトデータ線対のプリチャージレベルを“H”レベルにすることができ、DRAMのマルチプレクス回路に、図1および図2などに示した集積回路装置を用いることを可能とする。

【0052】一方、ノーマルライト時は、上記の動作と逆であり、チップの外から入力されたデータが、入力パッドDinから、入力バッファに入力され、ライトデータ線対WD、BWDに出力される。そして、リードマルチプレクサ&ライトマルチプレクサで5対のアドレス(A7C~A12C、BA7C~BA12C)によって1対のリードライトデータ線対RWDが選択されて、今度は、書込用DQバッファ(図示せず)を通過して、DQ線対、並びにDQゲートを通り、ビット線対に入力される。これによって、データが、メモリセルに書き込まれる。

【0053】尚、テストリード時の動作については後述する。次に、上記DRAMにおいて、この発明が適用されているリードマルチプレクサ&ライトマルチプレクサについて説明する。

【0054】図12は図7に示すリードマルチプレクサ&ライトマルチプレクサの概略的なブロック図である。図12に示すように、リードマルチプレクサ&ライトマルチプレクサは、マルチプレクス信号発生回路10と、リードマルチプレクサ11と、ライトマルチプレクサ12とを含む。

【0055】発生回路10は、5対のカラムアドレス(A8C~A12C、BA8C~BA12C)から、8本のマルチプレクス信号BMUL1~BMUL8、および4本のマルチプレクス信号BMULA~BMULD、合計12本のマルチプレクス信号を発生させる。

【0056】リードマルチプレクサ11は、ノーマルリード動作時およびテストリード動作時に使用される。ノーマルリード動作時には、32対のリードライトデータ線対(RWD1~RWD32、BRWD1~BRWD32)から、12本のマルチプレクス信号BMUL1~BMUL8、BMULA~BMULDを用いて1対だけ選

10

20

30

40

50

び出し、この選ばれた1対を、1対のリードデータ線対(RD、BRD)に電気的に接続する。

【0057】また、テストリード動作時には、32対のリードライトデータ線対(RWD1~RWD32、BRWD1~BRWD32)を全て選んで、32対の全てを1対のリードデータ線対(RD、BRD)に電気的に接続する。かつ全てのリードライトデータ線対に流れる信号の論理和をとる。

【0058】一方、ライトマルチプレクサ12は、ノーマルライト動作時およびテストライト動作時に使用される。ノーマルライト動作時には、32対のリードライトデータ線対(RWD1~RWD32、BRWD1~BRWD32)から、12本のマルチプレクス信号MUL1~MUL8、BMULA~BMULDに用いて1対だけ選び出し、1対のライトデータ線対(WD、BWD)を、上記選ばれたリードライトデータ線対に電気的に接続する。

【0059】また、テストライト動作時には、32対のリードライトデータ線対(RWD1~RWD32、BRWD1~BRWD32)を全て選んで、1対のライトデータ線対(WD、BWD)を、32対の全てに電気的に接続する。

【0060】次に、各部の構成を参照しながら、その動作について説明する。図13は、マルチプレクス信号発生回路の回路図である。図13に示すように、マルチプレクス信号発生回路10は、12個のマルチプレクス信号発生用ゲート回路14-1~14-12を含む。12個のゲート回路のうち、ゲート回路14-1~14-8の8個はそれぞれ、3対のカラムアドレスA8C~A10C、BA8C~BA10Cから、8本のマルチプレクス信号BMUL1~BMUL8を発生させる。また、残りのゲート回路14-9~14-12の4個は、2対のカラムアドレスA11C、A12C、BA11C、BA12Cから、4本のマルチプレクス信号BMULA~BMULDを発生させる、これら12個のゲート回路14-1~14-12の構成は、いずれもほぼ同様である。そこで、ゲート回路14-1~14-12の構成を、マルチプレクス信号BMUL1を発生させるゲート回路14-1にのみ着目して説明する。

【0061】ゲート回路14-1は、カラムアドレスBA8C、BA9C、BA10Cの3本を入力とするANDゲート15と、この出力を一方の入力とし、その出力をマルチプレクス信号BMUL1とするNORゲート16とを含む。

【0062】また、NORゲート16の他方の入力にはテストモード信号TESTが入力されている。この信号TESTは、ノーマルモード時に低レベルとなり、テストモード時に高レベルとなる。このために、ノーマルモード時には、NORゲート16から、ANDゲート15の出力が反転されて出力されるようになり、マルチプレ

クス信号BMUL1の出力レベルは、ANDゲート15の出力レベルにより決定される。

【0063】一方、テストモード時には、NORゲート16は、ANDゲート15の出力レベルに関わらず、常にマルチプレクス信号BMUL1を低レベルとする。このようにして生成された、12本のマルチプレクス信号BMUL1~BMUL8、BMULA~BMULDは、リードマルチプレクサ11、並びにライトマルチプレクサ12にそれぞれ供給される。

【0064】図14は、リードマルチプレクサ11の内部構成を概略的に示すブロック図である。図14に示すように、リードマルチプレクサ11は、第1マルチプレクス段400と、第2マルチプレクス段402とを含む。

【0065】第1マルチプレクス段400は、4個のマルチプレクス回路17-1、17-2、17-3、17-4を含む。マルチプレクス回路17-1は、マルチプレクス信号BMUL1~BMUL8に基いて、16メガビットセルアレーAに接続された8対のリードライトデータ線対RWD1~RWD8を、1対の内部リード線対RDAにマルチプレクスする。同様に、マルチプレクス回路17-2は、マルチプレクス信号BMUL1~BMUL8に基いて、16メガビットセルアレーBに接続された8対のリードライトデータ線対RWD9~RWD16を、1対の内部リード線対RDBにマルチプレクスする。同様に、マルチプレクス回路17-3は、マルチプレクス信号BMUL1~BMUL8に基いて、16メガビットセルアレーCに接続された8対のリードライトデータ線対RWD17~RWD24を、1対の内部リード線対RDCにマルチプレクスする。同様に、マルチプレクス回路17-4は、マルチプレクス信号BMUL1~BMUL8に基いて、16メガビットセルアレーDに接続された8対のリードライトデータ線対RWD25~RWD32を、1対の内部リード線対RDDにマルチプレクスする。

【0066】第2マルチプレクス段402は、1個のマルチプレクス回路18を含む。マルチプレクス回路18は、マルチプレクス信号BMULA~BMULDに基いて、4対の内部リード線対RDA~RDDを、1対のリードデータ線対RDにマルチプレクスする。

【0067】図15は、第1マルチプレクス段400が含む、マルチプレクス回路17-1の回路図である。なお、第1マルチプレクス段400が含む、他のマルチプレクス回路17-2~17-4はそれぞれ、マルチプレクス回路17-1と入力されるリードライトデータ線対が異なるだけで回路構成はほぼ同一である。よって、第1マルチプレクス段400が含む、マルチプレクス回路の回路構成は、マルチプレクス回路17-1のみに着目して説明することにする。

【0068】マルチプレクス回路17-1は、リードライトデータ線RWD1~RWD8の8本を、1本の内部リ

ードデータ線RDAに統合する正相信号用マルチプレクス回路19と、反転リードライトデータ線BRWD1～BRWD8の8本を、1本の反転内部リードデータ線RDAに統合する反転信号用マルチプレクス回路20とを含んでいる。

【0069】正相信号用マルチプレクス回路17は、図1および図2に示した装置と同様の構成を有する。特に異なる点は、データ信号伝達用PMOS群2(2-1～2-8)と出力選択用PMOS群3(3-1～3-8)との直列回路102が4本並列から8本並列になった点、データ信号A～Dがリードライトデータ信号RWD1～RWD8になった点、並びに選択信号Ba～Bdがマルチプレクス信号BMUL1～BMULになった点である。

【0070】また、共通ノードXiには、インバータ21の入力が接続され、このインバータ21が、出力信号である内部リードデータ信号RDAを出力する。尚、図15中、参照符号VDは集積回路内における高電位電源(この実施例では電位VDD)を示し、参照符号VS(この実施例では接地電位GND)は集積回路内における低電位電源を示している。

【0071】反転信号用マルチプレクス回路20も、正相信号用マルチプレクス回路19と同様の構成である。ただし、逆相信号用であるから、リードライトデータ信号RWD1～RWD8が、反転リードライトデータ信号BRWD1～BRWD8になっている。

【0072】尚、逆相信号用マルチプレクス回路20の回路素子においてはそれぞれ、データ信号伝達用PMOS群には参照符号2'-1～2'-8を、出力選択用PMOS群には参照符号3'-1～3'-8を、共通ノードBXiをプリチャージするためのNMOSには参照符号4'-1を、さらに共通ノードに入力を接続したインバータには参照符号21'を付すことで、正相信号用マルチプレクス回路19の回路素子と対応させ、その説明は省略する。

【0073】図16は、第2マルチプレクス段402が含む、マルチプレクス回路18の回路図である。マルチプレクス回路18は、マルチプレクス回路17-1～17-4と同様、正相信号用マルチプレクス回路22と、反転信号用マルチプレクス回路23とを含んでいる。マルチプレクス回路22は、内部リードデータ線RDA～RDDの4本を、1本のリードデータ線DAに統合する。マルチプレクス回路23は、反転内部リードデータ線BRDA～BRDDの4本を、1本の反転内部リードデータ線BRDに統合する。

【0074】正相信号用マルチプレクス回路22は、図1および図2に示した装置と同様の構成を有する。特に異なる点は、データ信号伝達用PMOS群2(2-9～2-12)のそれぞれに、内部リードデータ信号RDA～RDDが供給される点、並びに出力選択用PMOS群3(3-9～3-12)にマルチプレクス信号BMULA～B

MULDが供給される点である。

【0075】また、共通ノードXiには、インバータ24の入力が接続され、このインバータ24が、出力信号であるリードデータ信号RDを出力する。反転信号用マルチプレクス回路23も、正相信号用マルチプレクス回路22と同様の構成である。ただし、逆相信号用であるので、データ信号伝達用PMOS2-9～2-12のゲートには、反転内部リードデータ信号BRDA～BRDDが供給される。

10 【0076】尚、逆相信号用マルチプレクス回路23の回路素子においてはそれぞれ、データ信号伝達用PMOS群には参照符号2'-9～2'-12を、出力選択用PMOS群には参照符号3'-9～3'-12を、共通ノードBXiをプリチャージするためのNMOSには参照符号4'-1を、さらに共通ノードに入力を接続したインバータには参照符号24'を付すことで、正相信号用マルチプレクス回路22の回路素子と対応させ、その説明は省略する。

20 【0077】上記リードマルチプレクスでは、マルチプレクス回路が複数段に分けられている。このようにマルチプレクス回路を複数段に分けると、32対のリードライトデータ線RWDを、一段のマルチプレクス回路で、1対のリードデータ線対RDにまで選択するよりも、リードデータ線対RDに付加される寄生容量を、さらに軽減することができる。

【0078】また、第1マルチプレクス段400が含む、マルチプレクス回路17-1～17-4の出力信号線、即ち4対のリードデータ線対RDA～RDDに1つずつ、合計4個の出力バッファを設ける。そして、第2マルチプレクス段402が含むマルチプレクス回路18を非活性とし、1対のリードデータ線対と1個の出力バッファとを接続するようにする。このように構成すれば、×1ビット構成のDRAMに代わり、×4ビット構成のDRAMを得ることができる。

【0079】このような、出力ビット数の変更を、DRAMチップに付加された切換機能、あるいは配線パターンの変更などで行えば、1つのDRAMチップから、×1ビット構成、×4ビット構成のいずれのDRAMをも得ることができる。

40 【0080】このようなマルチプレクス回路を複数段に分けた構成は、寄生容量を低減できること、×1ビット構成および×4ビット構成のいずれかを選択できるDRAMを簡単に得られることから、この発明にとって、好適である。

【0081】図17は、出力ビット数を変更できるDRAMのリードマルチプレクサのブロック図である。図17に示すように、第1マルチプレクス段400と第2マルチプレクス段402とを互いに接続するリードデータ線対RDA～RDDには、スイッチ回路群450が設けられている。スイッチ回路群450は、リードデータ線

対に1つずつ設けられたスイッチ回路451-1~451-4を含む。スイッチ回路451-1~451-4は、リードデータ線対RDA~RDDを、第2マルチプレクス段402、および出力バッファ群452のいずれか一方に切り換えて接続する。この切り換えは、切り換え信号×4の電位レベルに基いて行われる。出力バッファ群452は、4対のリードデータ線対RDA~RDDに対応した、4個の出力バッファ453-1~453-4を含む。出力バッファ453-1は、×1ビット構成のとき、および×4ビット構成のときのいずれに状態でも使用される。このため、スイッチ回路454を介して、リードデータ線対RDおよびスイッチ回路451-1に接続されている。スイッチ回路454も、スイッチ回路451-1~451-4と同様な切り換えを行う。この切り換えも、切り換え信号×4の電位レベルに基いて行われる。他の出力バッファ453-2~453-4は、×4ビット構成のときのみ、使用される。

【0082】また、マルチプレクス信号BMULA~BMULD、およびプリチャージ信号PRCHは、信号非活性化回路455を介して、第2マルチプレクス段402のマルチプレクス回路18に入力される。信号非活性化回路455は、信号線に1つずつ設けられたORゲート回路456-1~456-4およびANDゲート回路456-5を含む。ORゲート回路456-1~456-4の一方の入力にはそれぞれ、信号BMULA~BMULDが入力され、他方の入力にはそれぞれ、切り換え信号B×4が入力される。ANDゲート回路456-5の一方の入力にはそれぞれ、信号PRCHが入力され、他方の入力にはそれぞれ、切り換え信号×4が入力される。

【0083】切り換え信号×4が高レベルのときには、ORゲート回路456-1~456-4およびANDゲート回路456-5の出力はそれぞれ、信号BMULA~BMULD、PRCHの電位レベルに応じて変化する。このため、マルチプレクス回路18は活性となる。

【0084】また、切り換え信号×4が低レベルのときには、ORゲート回路456-1~456-4の出力は高レベルに固定され、ANDゲート回路456-5の出力は低レベルに固定される。このため、マルチプレクス回路18は非活性となる。

【0085】図18は、図17に示すスイッチ回路の回路図である。図18には、特にスイッチ回路451-1、およびスイッチ回路454の回路図が示されている。図18に示すように、スイッチ回路451-1は、4個のCMOS型トランスファ・ゲート回路470-1~470-4を含む。切り換え信号×4は、ゲート回路470-1のPMOSのゲート、ゲート回路470-2のPMOSのゲート、ゲート回路470-3のNMOSのゲート、ゲート回路470-4のNMOSのゲートにそれぞれ入力される。また、反転切り換え信号B×4は、ゲート回路470-1のNMOSのゲート、ゲート回路470-2のNMOSの

ゲート、ゲート回路470-3のPMOSのゲート、ゲート回路470-4のPMOSのゲートにそれぞれ入力される。

【0086】このようなスイッチ回路451-1であるとき、切り換え信号×4が高レベルのとき、ゲート回路470-3およびゲート回路470-4がオンし、ゲート回路470-1およびゲート回路470-2がオフする。このため、リードデータ線RDAおよびBRDAは、マルチプレクス回路18に接続される。

【0087】また、切り換え信号×4が低レベルのとき、ゲート回路470-1およびゲート回路470-2がオンし、ゲート回路470-3およびゲート回路470-4がオフする。このため、リードデータ線RDAおよびBRDAは、スイッチ回路454に接続される。

【0088】スイッチ回路454は、4個のCMOS型トランスファ・ゲート回路471-1~471-4を含む。切り換え信号×4は、ゲート回路471-1のPMOSのゲート、ゲート回路471-2のPMOSのゲート、ゲート回路471-3のNMOSのゲート、ゲート回路471-4のNMOSのゲートにそれぞれ入力される。また、反転切り換え信号B×4は、ゲート回路471-1のNMOSのゲート、ゲート回路471-2のNMOSのゲート、ゲート回路471-3のPMOSのゲート、ゲート回路471-4のPMOSのゲートにそれぞれ入力される。

【0089】このようなスイッチ回路454であるとき、切り換え信号×4が高レベルのとき、ゲート回路471-3およびゲート回路471-4がオンし、ゲート回路471-1およびゲート回路471-2がオフする。このため、リードデータ線RDおよびBRDは、出力バッファ453-1に接続される。

【0090】また、切り換え信号×4が低レベルのとき、ゲート回路471-1およびゲート回路471-2がオンし、ゲート回路471-3およびゲート回路471-4がオフする。このため、スイッチ回路451-1を介したリードデータ線RDAおよびBRDAが、出力バッファ453-1に接続される。

【0091】他のスイッチ回路451-2~451-4の回路は、スイッチ回路451-1の回路とはほぼ同様である。異なる部分は、スイッチ454を介さずに、出力バッファ453-2~453-4に直接に接続されることである。したがって、スイッチ回路451-2~451-4の回路の図示は省略することにする。

【0092】以上、図17および図18に示したリードマルチプレクサを有したDRAMであると、切り換え信号×4を高レベルとすることによって、DRAMを×1ビット構成にでき、反対に切り換え信号×4を低レベルとすることによって、DRAMを×4ビット構成にできる。

【0093】次に、リードマルチプレクサによる、ノーマルリード動作について説明する。なお、この説明は、

10

20

30

40

50

DRAMが×1ビット構成であるときを例として行う。図19および図20はそれぞれ、リードマルチプレクサ11の動作を示す動作波形図である。

【0094】図19に示すように、当初、リードライトデータ線対RWD1～RWD8は全て高(H)レベルになっている。リードライトデータ線対RWD1～RWD8の全てが、図10に示したDQバッファにて、予め、高電位VCCに充電されているからである。また、リードマルチプレクサ11をプリチャージしておくプリチャージ信号PRCHは高レベルとなっている。また、マルチプレクス信号BMUL1～BMUL8は、マルチプレクス信号BMUL2のみ低(L)レベル、他は全て高レベルとなっている。

【0095】このような状態から、プリチャージ信号PRCHを高レベルから、低レベルへと移行させる。これで、リードマルチプレクサ11が活性となる。続いて、リードライトデータ線対RWD1～RWD8にメモリセルからのデータを読み出す。すると、線対のうちのいずれか一方のみ、その電位が低レベルに落ちる。例えば図19では、リードライトデータ線対RWD1は高レベルのままで、その反転リードライトデータ線対BRWD1のみ低レベルに落ちる。また、リードライトデータ線対RWD2においては、その電位が低レベルに落ちるが、その反転リードライトデータ線対BRWD2は高レベルのままである。

【0096】このようにリードライトデータ線対RWDに電位差が出ることで、データ信号が、リードライトデータ線対RWDまで読み出されたことになる。データ信号が、リードライトデータ線対RWDまで読み出されると、リードマルチプレクサ11のうち、第1マルチプレクス段400のマルチプレクス回路17-1～17-4にデータ信号が入力される。ここで、リードライトデータ線対RWD1、RWD2の2対のみに着目して説明すると、図15に示すマルチプレクス回路17-1のPMOS2-1は、データ信号RWD1が高レベルであるから遮断し、反対にPMOS2'-1は、データ信号BRWD1が低レベルであるから導通する。また、PMOS2-2は、データ信号RWD2が低レベルであるから導通し、反対にPMOS2'-2は、データ信号BRWD1が高レベルであるから遮断する。また、マルチプレクス回路17-1には、第1マルチプレクス段用のマルチプレクス信号BMUL1～BMUL8が入力されている。ここで、マルチプレクス信号BMUL1、BMUL2のみに着目して説明すると、PMOS3-1および3'-1は信号BMUL1が高レベルであるから遮断し、反対にPMOS3-2および3'-2は信号BRWD2が低レベルであるから導通する。よって、8対のリードライトデータ線対RWDのうち、RWD2の1対のみが選ばれ、この1対が、内部リードデータ線対RDAに電気的に接続されることになる。

【0097】リードライトデータ線対RWD2のデータは、共通ノードX₀、BX₀のいずれを充電するかで、内部リードデータ線対RDAに伝えられる。図19に示す場合であると、リードライトデータ線RWD2が低レベル、反転リードライトデータ線BRWD2が高レベルであるから、共通ノードX₀が高レベルに充電され、共通ノードBX₀は低レベルのままである。これら共通ノードX₀、BX₀の電位はインバータ21、21'にそれぞれ入力される。インバータ21のみ、出力信号の電位を反転させるから、図20に示すように、内部リードデータ線RDAのみが低レベルに落ち、反転内部リードデータ線BRDAの電位は高レベルのままである。

【0098】このような動作が、他の3個のマルチプレクス回路17-2～17-4でも平行に行われ、内部リードデータ線対RDA～RDDにそれぞれ電位差が出る。これで、データ信号が、内部リードデータ線対RDA～RDDまで読み出されたことになる。

【0099】データ信号が、内部リードデータ線対RDA～RDDまで読み出されると、リードマルチプレクサ11のうち、第2マルチプレクス段402のマルチプレクス回路18にデータが入力される。また、マルチプレクス回路18には第2マルチプレクス段用のマルチプレクス信号BMULA～BMULDが入力されている。図20に示すように、マルチプレクス信号BMULA～BMULDのうち、信号BMULAのみが低レベルで、他は全て高レベルである。即ち、図16に示すPMOS3-9および3'-9がそれぞれ導通し、他の出力選択用PMOS群3は全て遮断している。よって、4対の内部リードデータ線対のうち、RDAの1対のみが選ばれ、この1対が、リードデータ線対RDに電気的に接続されることになる。

【0100】内部リードデータ線対RDAのデータは、共通ノードX₁、BX₁のいずれを充電するかで、リードデータ線対RDに伝えられる。図20に示す場合であると、内部リードデータ線RDAが低レベル、反転内部リードデータ線BRDAが高レベルであるから、共通ノードX₁が高レベルに充電され、共通ノードBX₁は低レベルのままである。これら共通ノードX₁、BX₁の電位はインバータ24、24'にそれぞれ入力される。インバータ24のみ、出力信号の電位を反転させるから、図20に示すように、リードデータ線RDのみが低レベルに落ち、他方のリードデータ線BRDの電位は高レベルのままである。

【0101】このようにして、リードデータ線対RDに電位差が出ることで、データ信号がリードデータ線対RDまで読み出される。リードデータ線対RDまで読み出されたデータ信号は、出力バッファに入力される。

【0102】なお、DRAMが×4ビット構成であるときには、第2マルチプレクス段402が動作せず、内部リードデータ線対RDA～RDDまで読み出された信号

が、第1マルチプレクス段400から直接に出力バッファに入力される。

【0103】次に、テスト回路について説明する。まず、図7に示すように、テスト回路(T. C)は、リードマルチプレクサ&ライトマルチプレクサと出力バッファとの間に配置されている。さらにテスト回路(T. C)と出力バッファとの間には選択回路(S. C)が配置されている。選択回路(S. C)は、ノーマルリード動作時にはリードデータ線RDおよび反転リードデータ線BRDそれぞれを直接に出力バッファの入力に電気的に接続させる。一方、テストリード動作時にはリードデータ線RDおよび反転リードデータ線BRDそれぞれを、テスト回路(T. C)に入力し、テスト回路(T. C)でのテスト結果を示す出力結果を、出力バッファの入力に電気的に接続させる。

【0104】図21は、図7に示すテスト回路の回路図である。図21に示すように、テスト回路(T. C)は、リードデータ線RD、反転リードデータ線BRDがそれぞれ入力される二入力型のNANDゲート25と、リードデータ線RD、反転リードデータ線BRDがそれぞれ入力される二入力型のNORゲート26と、NANDゲート25の出力、並びにNORゲート26の出力がそれぞれ入力されるXOR(エクスクルーシブオア)ゲート27とを含む。

【0105】XORゲート27の出力はテストリードデータ線TRDに接続されているとともに、インバータ28を介してから、反転テストリードデータ線BTRDに接続されている。

【0106】図22は、図7に示す選択回路の回路図である。図22に示すように、選択回路(S. C)は、リードデータ線RDが入力に接続されるCMOS型のトランスファゲート29と、反転リードデータ線BRDが入力に接続されるCMOS型のトランスファゲート29'と、テストリードデータ線TRDが入力に接続されるCMOS型のトランスファゲート30と、反転テストリードデータ線BTRDが入力に接続されるCMOS型のトランスファゲート30'とを含む。

【0107】トランスファゲート29のPMOSゲート、トランスファゲート29'のPMOSゲートにはそれぞれテスト信号TESTが入力され、トランスファゲート29のNMOSゲート、トランスファゲート29'のNMOSゲートにはそれぞれ反転テスト信号BTESTが入力される。また、トランスファゲート30のPMOSゲート、トランスファゲート30'のPMOSゲートにはそれぞれ反転テスト信号BTESTが入力され、トランスファゲート30のNMOSゲート、トランスファゲート30'のNMOSゲートにはそれぞれテスト信号TESTが入力される。トランスファゲート29および29'は、ノーマル動作時、即ちテスト信号TESTが低レベルの時のみ導通する。また、トランスファゲート

ト30および30'は、テスト動作時、即ちテスト信号TESTが高レベルの時のみ導通する。よって、選択回路は、ノーマル動作時、リードデータ線RDを、出力線対OUTに電気的に接続し、一方、テスト動作時、テストリードデータ線TRDを、出力線対OUTに電気的に接続する。

【0108】次に、テストモードの時の動作について説明する。テストリード時、32本のリードライトデータ線対RWD全てにデータ信号を、同時に読み出す(以下、32ビットのデータ信号という)。この後、32ビットのデータ信号は、第1マルチプレクス段400のマルチプレクス回路17-1~17-4に入力され、ここで第1回目の論理和演算が為され、さらに論理和演算が為されたデータ信号は、第2マルチプレクス段402のマルチプレクス回路18で論理和演算に入力され、ここで第2回目の論理和演算が為される。これは、図13に示したように、テストモード時、TEST信号を高レベルとし、12本のマルチプレクス信号BMUL1~BMUL8、BMULA~BMULDの全てを、低レベル(全選択状態)とするためである。第2回目の論理和演算が為されたデータ信号は、リードデータ線対RDに読み出される。

【0109】テストリード時では、同じデータを複数のメモリセルに書き込む。そして、これらの複数のメモリセルから、同時にデータを読み出す。このため、メモリセルから読み出された、32ビットのデータ信号は、全て同一であることが正しい。

【0110】メモリセルから読み出された32ビットのデータ信号の全てにエラーが無ければ、リードデータ線RDの電位および反転リードデータ線BRDの電位は、一方が高レベル、他方が低レベルに、必ずなる。

【0111】この現象を簡単に説明する。図23は、図15に示すマルチプレクス回路17-1の動作状態を、模式的に示した図である。図15では、8ビットのデータ信号が示されているので、図23には、8ビットのデータ信号が示されていることになる。8ビットのデータ信号が全て同一であれば、図23に示すように、PMOS2-1~2-8は全てオフしたとき、PMOS2'-1~2'-8は全てオンする。この現象は、他のマルチプレクス回路17-2~17-4でも、同様に起こる。このため、内部リードデータ線RDA~RDDの電位は全て高レベルとなり、反転内部リードデータ線BRDA~BRDDの電位は全て低レベルとなる。これは、マルチプレクス回路18の入力データ信号が全て同一となることを示す。よって、リードデータ線RDの電位および反転リードデータ線BRDの電位は、一方が高レベル、他方が低レベルとなる。

【0112】このような論理和演算が為された後のデータ信号を、図21に示すテスト回路(T. C)に入力すると、NANDゲート25は高レベルの信号を出力し、

27

NORゲート26は低レベルの信号を出力する。したがって、XORゲート27には、高レベルの信号と、低レベルの信号とが入力され、XORゲート27は、高レベルの信号を出力する。よって、テストリードデータ線TRDの電位は高レベル、反転テストリードデータ線BTRDの電位は低レベルとなる。これで、テストされた後のデータ信号が、テストリードデータ線TRDに読み出されたことになる。テストされた後のデータ信号は、選択回路(S、C)を介して出力バッファに入力される。この後、出力バッファの出力に接続された、図示せぬ出力パッドからは、例えば“H”のデータが出力される。

【0113】一方、メモリセルから読み出された32ビットのデータ信号に、1つでもエラーがあれば、リードデータ線RD、反転リードデータ線BRDは共に、低レベルになってしまう。

【0114】この現象を簡単に説明する。図24は、図23と同様、図15に示すマルチプレクス回路17-1の動作状態を、模式的に示した図である。8ビットのデータ信号のうち、1つがエラーし、PMOS2-4のみがオンしたとする。すると、ここに電流が流れ、共通ノードX₀が高レベルにチャージされる。このため、内部リードデータ線RDAの電位は低レベルとなる。反転内部リードデータ線BRDAは、当然低レベルである。これは、マルチプレクス回路18の入力データ信号RDA~RDD、BRDA~BRDDの一つがエラーすることを示す。マルチプレクス回路18の、エラーした入力データ信号が入力されたPMOSは、図24に示すPMOS2-4と同様にオンする。よって、リードデータ線RDの電位および反転リードデータ線BRDの電位は、共に低レベルとなる。

【0115】このような論理和演算された後のデータ信号を、図21に示すテスト回路(T、C)に入力すると、NANDゲート25は高レベルの信号を出力するが、NORゲート26が低レベルに代わり、高レベルの信号を出力するようになる。このため、XORゲート27には、高レベルの信号と、高レベルの信号とが入力されるようになり、XORゲート27は、低レベルの信号を出力する。よって、テストリードデータ線TRDの電位は上記と逆に低レベル、反転テストリードデータ線BTRDも上記と逆に高レベルとなる。したがって、図示せぬ出力パッドからは、今度は上記と逆に、例えば“L”のデータが出力される。

【0116】このように、この発明に係る集積回路装置では、マルチプレクス信号の全てを選択状態とし、かつ入力データ信号を全て入力すれば、入力データ信号の論理和演算ができる。この論理和演算の機能を使って、DRAMのテスト回路を作れば、テスト回路を簡略化することができる。

【0117】次に、ライトマルチプレクサについて説明

28

する。図25は、図12に示すライトマルチプレクサのブロック図である。図25に示すように、ライトマルチプレクサ12は、32対のリードライトデータ線に、1つずつ設けられたリードライトデータ線対選択回路31を含む。この実施例に係るDRAMでは、32対のリードライトデータ線対RWD1~RWD32を持つので、選択回路31の数は、選択回路31-1~31-32の、合計32器である。

【0118】32器の選択回路31はそれぞれ、リードライトデータ線対をドライビングする、リードライトデータ線対ドライビング回路35(35-1~35-32)と、32器のドライビング回路35-1~35-32の一つを、マルチプレクス信号BMUL1~BMUL8、BMULA~BMULDに基いて、選択して活性化させるドライビング回路活性化回路(A、C)32(32-1~32-32)とを含む。選択回路32-1~32-32は、ドライビング回路35-1~35-32に1つずつ設けられている。

【0119】32器のドライビング回路35はそれぞれ、入力端をライトデータ線WDに接続し、出力端をリードライトデータ線RWDに接続したインバータ36(36-1~36-32)と、入力端を反転ライトデータ線BWDに接続し、出力端を反転リードライトデータ線BRWDに接続したインバータ37(37-1~37-32)とを含む。インバータ36は、活性化回路(A、C)32の出力信号φと、その反転信号Bφとが入力されたときのみ、リードライトデータ線RWDに信号を出力する。インバータ37も同様に、活性化回路(A、C)32の出力信号φと、その反転信号Bφとが入力されたときのみ、反転リードライトデータ線BRWDに信号を出力する。

【0120】図26は、図25に示す選択回路の回路図である。図26には、特に選択回路31-1が示されている。図26に示すように、活性化回路32-1は、三入力型のORゲート33と、二入力型のNANDゲート34とを含む。ORゲート33には、マルチプレクス信号BMUL1、BMULA、および書き込みタイミング信号WRTがそれぞれ入力される。NANDゲート34には、ORゲート33の出力、および反転テスト信号BT_{EST}がそれぞれ入力される。NANDゲート34は、活性化回路32-1の出力信号φを出力する。

【0121】ノーマルモード時、反転テスト信号T_{EST}が高レベルとなっている。このため、活性化回路32-1からは、ORゲート33の出力信号が、NANDゲート34の出力端から、電位レベルが反転されて出力される。即ち、活性化回路32-1の出力信号φの電位レベルは、ORゲート33の出力の電位レベルにより決定される。

【0122】一方、テストモード時、反転テスト信号T_{EST}が低レベルとなる。このため、NANDゲート3

4は、ORゲート33の出力レベルに関わらず、その出力を常に高レベルとする。即ちゲート回路32-1は、図13に示した、マルチプレクス信号を出力するゲート回路14-1~14-12と同様な機能を有している。

【0123】他の活性化回路32-2~32-32も、入力されるマルチプレクス信号が異なるだけで、ほぼ活性化回路32-2~32-32と同様な回路である。次に、ライト動作について説明する。

【0124】ノーマルライト時には、活性化回路32-1~32-32のいずれか1つが、高レベルの電位を出力し、ドライビング回路35-1~35-32のうちの1つを活性化させる。これによって、1対のライトデータ線対WDが、1対のリードライトデータ線対RWDに、電氣的に接続される。そして、チップの外部から入力されたデータ信号は、この選ばれた1対のリードライトデータ線対RWDに入力される。この後、入力されたデータ信号は、書込用の、図示せぬDQバッファを介してデータ線対DQに入力され、DQゲートを介してビット線対BLに入力される。このようにして、書込選択されていたメモリセルにデータが書き込まれる。

【0125】また、テストライト時には、活性化回路32-1~32-32が全て高レベルの電位を出力し、ドライビング回路35-1~35-32の全てを活性化させる。これによって、1対のライトデータ線対WDが、全てのリードライトデータ線対RWDに、電氣的に接続される。そして、チップの外部から入力されたデータ信号が、全てのリードライトデータ線対RWDに入力される。この後、入力されたデータ信号は、書込用の、図示せぬDQバッファを介して32対のデータ線対DQに入力され、DQゲートを介して32対のビット線対BLに入力される。このようにして、書込選択されていた全てのメモリセルに、同一のデータが同時に書き込まれる。

【0126】次に、この発明の第3の実施例に係る64メガビットDRAMについて説明する。図27は、この発明の第3の実施例に係るDRAMの概略的なブロック図、図28は、図27に示す16メガビットセルアレーの一つをより詳細に示したブロック図である。

【0127】第3の実施例に係るDRAMは、基本的に第1の実施例に係るDRAMと同じである。異なる点は、第3の実施例に係るDRAMでは、5対のカラムアドレス(A8C~A12C、BA8C~BA12C)をセルアレー、およびDQバッファに入力し、さらにテスト信号TESTをDQバッファに入力するようにしたことである。この場合、例えば4本のカラムアドレスA11C、A12C、BA11C、BA12Cを用いて、4グループのリードライトデータ線対グループRWD1~RWD8、RWD9~RWD16、RWD17~RWD24、RWD25~RWD32のうちの1グループを選ぶ。残りの6本のカラムアドレスA8C~A10C、BA8C~BA10Cを用いて、8対のリードライトデー

タ線対RWDのうち、1対を選ぶ。

【0128】このようなリードライトデータ線対の選択を行うことによって、第3の実施例に係るDRAMでは、リード時、32個のDQバッファのうち、1個のDQバッファのみが動作し、残りの31個のDQバッファは動作しないようにできる。選ばれた1個のDQバッファに接続されたリードライトデータ線RWDと、反転リードライトデータ線BRWDとの間には、メモリセルから読み出されたデータ信号に応じ、電位差が発生する。これに対し、選ばれなかった31個のDQバッファに接続されたリードライトデータ線RWD、および反転リードライトデータ線BRWDは共に、高レベルを保つ。

【0129】このように、セルアレー、およびDQバッファにカラムアドレスを入力し、32対のリードライトデータ線対RWDから1対のリードライトデータ線対RWDを選ぶことにより、マルチプレクス回路に、マルチプレクス信号BMULを入力せずにすむ。

【0130】図29は、第3の実施例に係るDRAMが具備する第1マルチプレクス段のマルチプレクス回路の回路図、図30は、第3の実施例に係るDRAMが具備する第2マルチプレクス段のマルチプレクス回路の回路図である。

【0131】図29および図30に示すように、マルチプレクス回路は、リードライトデータ線RWDが入力されるPMOS2(あるいはPMOS2')のみを含んでいる。これらのPMOS2は、電源端子VSと共通ノードX。(あるいは共通ノードX1)との間に並列に接続されている。

【0132】この構成であると、マルチプレクス回路の規模を小さくでき、データ信号を選択するスピードも高速になる。第3の実施例に係るDRAMでは、テストモード時の論理和演算も、第2の実施例と同様に可能である。つまりテストモード時には、DQバッファを32個同時に動作させることで、32対のリードライトデータ線RWD全てにデータが出すことができる。よって、論理和演算が可能である。

【0133】第3の実施例に係るDRAMのライト時の動作は、第2の実施例と変わりはなく、また、ライトマルチプレクサ12の構成は変わらない。上記第2、第3の実施例に係るDRAMからは、次のような効果を得ることができる。

【0134】まず、第1の実施例と同様に、データ信号伝達用PMOS群2をオン、オフさせるだけで、マルチプレクス回路と同様の動作をする集積回路装置を得ることができる。この集積回路装置では、共通ノードX0、X1、BX0、BX1などに付く寄生容量を低減でき、データ信号を、リードライトデータ線対RWDからリードデータ線対RDへ、高速に伝えることができる。

【0135】また、上記高速なデータ信号の伝達は、リードライトデータ線対RWDのプリチャージレベルを、

10

20

30

40

50

高電位VCCとすることで、より加速することができる。これは、次のような観点からである。リードライトデータ線対RWDは一般的にセルアレーに沿った配置された、非常に長い信号線である。しかも、リードライトデータ線対RWDには、データ読み出しを行うDQバッファのトランジスタに接続されているので、ジャンクション容量も付加されている。このため、リードライトデータ線対RWDは、非常に大きな寄生容量を持つ。したがって、リードライトデータ線対RWDの電位の変化は、非常に緩やかである。このため、図37、図38に示すマルチプレクサでは、データ信号を、リードライトデータ線対RWDからリードデータ線対RDへ、高速に伝えることが困難である。

【0136】これに対し、この発明に係る集積回路装置では、データ信号伝達用PMOS群2は、そのゲート電位が、 $V_{CC} - |V_{thp}|$ (V_{thp} はPMOS2のしきい値電圧) だけ下があれば、導通する。このため、データ信号の入力から、共通ノードXの充電を開始するまでの時間を短縮することができる。よって、データ信号がリードライトデータ線対RWDに入力されてから、共通ノードX₀、X₁、BX₀、BX₁の充電を完了するまでの時間を短縮できる。

【0137】また、この発明に係る集積回路装置では、論理和演算機能を持つ。論理和演算機能は、例えばテストモード時に有用である。DRAMには、テストモード時、並列読み出しによるテスト時間短縮モードが搭載されている。

【0138】この発明に係る集積回路装置では、各セルアレーに対応する32ビットを同時にテストする。テストライト時には、同一データをこれら32ビットにそれぞれ書き込む。その後、それらのデータを全て並列に読み出してきて、それらが一致していれば“1”を出力し、一致していなければ“0”を出力する。これによって、テスト時間を、通常、1ビットずつ行う方式に比べて1/32に短縮できる。

【0139】テストリード時には、マルチプレクス信号BMUL1~BMUL8、BMULA~BMULDを全て低レベルにする。このとき、リードライトデータ線対RWDに読み出されたデータ信号の全てを、リードデータ線対RDに伝えられる。しかも、リードデータ線対RDの出力は、ワイヤードオアのように、リードライトデータ線対RWDに読み出されたデータ信号の全てが論理和演算された結果である。つまり、32ビットのデータが全て一致していれば、その一致したデータが、リードデータ線対RDに通常動作モードと同じように伝わるし、もしも、エラーが発生してデータが一致していなければ、リードデータ線対RDの電位は高レベルに移移する。このように、リードデータ線対RDの電位は、エラーがあったときと、エラーがなかったときとで互いに異なるため、エラーがあったときと、エラーがなかったと

きとで、データ信号を区別して、出力回路に伝達することができる。

【0140】このように、第2、第3の実施例に係るDRAMでは、ノーマル動作モード時に、高速にデータを選択できる能力があるのみならず、テスト動作モード時に、回路を変更することなく、選択信号の入力方法を変更するだけで、簡単に対応できる。

【0141】また、図29および図30に示したマルチプレクス回路は、図31に示す集積回路装置を応用したものである。図31は、この発明の第4の実施例に係る半導体集積回路装置の回路図である。

【0142】図31に示すように、データ選択回路100は、複数のデータ伝達回路500-1~500-4を含む。複数のデータ伝達回路500は、端子VDDと共通ノードXとの間に、並列に接続される。複数のデータ伝達回路500は、入力データ信号A~Dと、選択信号Ba~Bdとが入力される選択回路501と、選択回路501の出力が入力されるPMOS2とを含む。

【0143】図32は、図31に示す選択回路の回路図である。図32には、特に選択回路501-1が示されている。他の選択回路501-2~501-3は、選択回路501-1と同様の回路を持つ。

【0144】図32に示すように、選択回路501-1は、入力データ信号Aと、選択信号Baとが入力されるNORゲート502と、NORゲート502の出力に出力を接続したインバータ503とを含む。インバータ503が出力する信号は、選択回路501-1の出力信号である。NORゲート502は、選択信号Baの電位が低レベルであるとき、その出力信号の電位レベルを、入力データ信号Aの電位レベルに応じて変化させる。また、NORゲート502は、選択信号Baの電位が高レベルであるとき、その出力信号の電位レベルを、入力データ信号Aの電位レベルにかかわらず、低レベルに固定する。したがって、図31に示す集積回路装置は、選択信号Ba~Bdの電位が低レベルであるとき、入力データ信号A~Dを、PMOS2のゲートへ伝えるので、図1および図2に示す集積回路装置と同様な動作を行える。

【0145】次に、この発明の第5の実施例に係る半導体集積回路装置について説明する。図33は、この発明の第5の実施例に係る半導体集積回路装置の回路図である。

【0146】図33に示す第5の実施例に係る装置では、基本的に第1の実施例に係る装置と、構成並びにその動作原理は同一だが、共通ノードXに小さなラッチ回路600を付加した点が異なっている。

【0147】共通ノードXは、プリチャージ信号PRCHが切れてプリチャージ用のNMOS4が遮断すると、フローティングローレベルとなる。小さなラッチ回路600は、共通ノードXがフローティングローレベルとなる期間、ノイズ等によって共通ノードXの電位が変動し

ないように、電位を低レベル（この実施例では接地電位とする）に固定するものである。

【0148】この発明に係る集積回路装置では、データ信号A、B、C、Dの中で選択された信号が高レベルであった場合、データ信号伝達後も共通ノードXを低レベルを長い期間、保つ必要がある。このため、上記小さなラッチ回路600を共通ノードXに接続することは、動作の安定化、並びにデータの誤読み出しなどの誤動作防止の観点からも有用である。

【0149】また、小さなラッチ回路という意味は、ラッチ回路600の出力電位レベルが、速やかに反転されるような、弱いラッチ回路のことである。即ち、PMOS群2、PMOS群3がそれぞれ導通することで共通ノードXの電位が上がりだしたら、速やかにこの上昇を検知して、その出力電位レベルを反転させることである。

【0150】上記共通ノードXの電位を固定するラッチ回路600を、上記弱いラッチ回路とすることで、データが共通ノードXに供給されると、すぐに出力電位レベルを反転できるので、高速なデータ伝達が損なわれなくなる。

【0151】図33に示すラッチ回路600は、図29に示す共通ノードX₀、共通ノードBX₀、図30に示す共通ノードX₁、共通ノードBX₁、および図31に示す共通ノードXに接続することもできる。

【0152】次に、この発明の第6の実施例に係る半導体集積回路装置について説明する。図34は、この発明の第6の実施例に係る半導体集積回路装置の回路図である。

【0153】図34に示す第6の実施例に係る集積回路装置は、図1および図2に示す集積回路装置のMOSFETの導電型を、全て反転させたものである。尚、データ信号伝達用NMOS群には参照符号2N-9～2N-12を、出力選択用PMOS群には参照符号3P-9～3P-12を、共通ノードBX₁をプリチャージするためのPMOSには参照符号4Pを付すことで、図1および図2に示す集積回路装置と対応させ、その説明は省略する。

【0154】この第6の実施例に係る装置の動作原理や、その装置の利点は、第1の実施例と同様である。図35は、第6の実施例に係る装置の動作を示す動作波形図である。

【0155】次に、この発明の第7の実施例に係る半導体集積回路装置について説明する。図36は、この発明の第7の実施例に係る半導体集積回路装置の回路図である。

【0156】図36に示す第7の実施例に係る装置は、図34に示す装置の共通ノードXに、図33に示した小さいラッチ回路600を付加したものである。この第7の実施例に係る装置の動作原理や、その装置の利点は、第1の実施例と同様であり、かつ図33に示した第5の実施例に係る装置で得られた、動作の安定化、並びに誤動

作防止という効果を得ることができる。

【0157】上記各実施例により説明したこの発明であると、複数のデータを選択して、次段へ伝達するのに、寄生容量の影響を軽減でき、また、伝達閾値を低く設定できるために、高速な伝達が可能になる。特に、選択されるデータの数が増えれば増えるほど、その効果が高まる。

【0158】また、DRAMなどのテスト動作モードにおいては、ノーマル動作モードの選択回路を何等変更することなく、複数読みだしデータの一致、不一致を判定できるために、コンパクトなテストモード回路で、かつノーマル動作とテスト動作との動作でアクセスタイムに差がない、理想的なテスト回路が実現できる効果もある。

【0159】

【発明の効果】以上説明したようにこの発明によれば、選択されるデータ数が多いときでも、高速な選択動作が可能である、半導体集積回路装置を提供することができる。

20 【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に係る半導体集積回路装置のブロック図。

【図2】図2はこの発明の第1の実施例に係る半導体集積回路装置の回路図。

【図3】図3はこの発明の第1の実施例に係る半導体集積回路装置の動作波形図。

【図4】図4はこの発明の第1の実施例に係る半導体集積回路装置の寄生容量を示す図。

30 【図5】図5は従来のマルチプレクサの寄生容量を示す図。

【図6】図6は従来の他のマルチプレクサの寄生容量を示す図。

【図7】図7はこの発明の第2の実施例に係るDRAMのブロック図。

【図8】図8は図7に示す16メガビットセルアレーのブロック図。

【図9】図9は図8に示す256キロビットセルアレーのブロック図。

【図10】図10は図9に示すDQバッファの回路図。

40 【図11】図11は図10に示すDQバッファの動作波形図。

【図12】図12は図7に示すリードマルチプレクサ&ライトマルチプレクサのブロック図。

【図13】図13は図12に示すマルチプレクス信号発生回路の回路図。

【図14】図14は図12に示すリードマルチプレクサのブロック図。

【図15】図15は図14に示す第1マルチプレクス段のマルチプレクス回路の回路図。

50 【図16】図16は図14に示す第2マルチプレクス段

のマルチプレクス回路の回路図。

【図17】図17は出力ビット数を変更できるDRAMのリードマルチプレクサのブロック図。

【図18】図18は図17に示すスイッチ回路の回路図。

【図19】図19は図14に示すリードマルチプレクサの動作波形図。

【図20】図20は図14に示すリードマルチプレクサの動作波形図。

【図21】図21は図7に示すテスト回路の回路図。

【図22】図22は図7に示す選択回路の回路図。

【図23】図23は図15に示すマルチプレクス回路の動作状態を示す図。

【図24】図24は図15に示すマルチプレクス回路の他の動作状態を示す図。

【図25】図25は図12に示すライトマルチプレクサのブロック図。

【図26】図26は図25に示す選択回路の回路図。

【図27】図27はこの発明の第3の実施例に係るDRAMのブロック図。

【図28】図28は図27に示す16メガビットセルアレーのブロック図。

【図29】図29はこの発明の第3の実施例に係るDRAMが具備する第1マルチプレクス段のマルチプレクス回路の回路図。

【図30】図30はこの発明の第3の実施例に係るDRAMが具備する第2マルチプレクス段のマルチプレクス回路の回路図。

【図31】図31はこの発明の第4の実施例に係る半導体集積回路装置の回路図。

【図32】図32は図31に示す選択回路の回路図。

【図33】図33はこの発明の第5の実施例に係る半導体集積回路装置の回路図。

【図34】図34はこの発明の第6の実施例に係る半導体集積回路装置の回路図。

【図35】図35はこの発明の第6の実施例に係る半導体集積回路装置の動作波形図。

10

20

30

*

*【図36】図36はこの発明の第7の実施例に係る半導体集積回路装置の回路図。

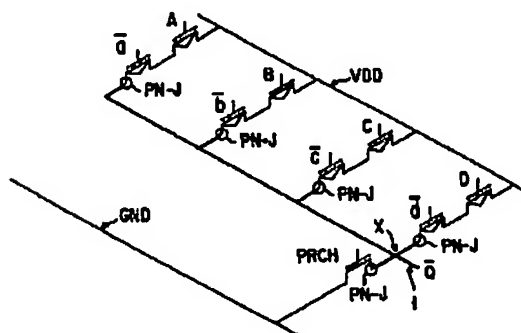
【図37】図37は従来のマルチプレクサの回路図。

【図38】図38は従来の他のマルチプレクサの回路図。

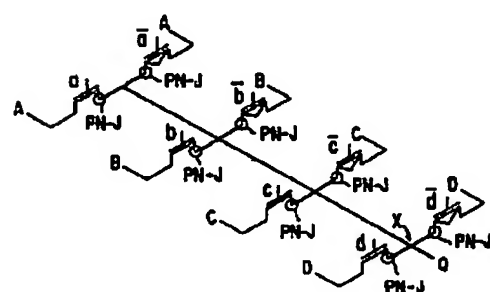
【符号の説明】

1…配線、2-1~2-14, 2'-1~2'-14…データ伝達用Pチャネル型MOSFET、3-1~3-14, 3'-1~3'-14…出力選択用Pチャネル型MOSFET、4, 4'…プリチャージ用Nチャネル型MOSFET、10…マルチプレクス信号発生回路、11…リードマルチプレクサ、12…ライトマルチプレクサ、14-1~14-12…マルチプレクス信号発生用ゲート回路、17-1~17-4…マルチプレクス回路、18…マルチプレクス回路、19…正相信号用マルチプレクス回路、20…反転信号用マルチプレクス回路、21, 21'…出力用インバータ、22…正相信号用マルチプレクス回路、23…反転信号用マルチプレクス回路、24, 24'…出力用インバータ、25…NANDゲート、26…NORゲート、27…エクスクルーシブORゲート、28…インバータ、29, 29'…CMOS型のトランスファゲート、30, 30'…CMOS型のトランスファゲート、31-1~31-32…リードライトデータ線対選択回路、32-1~32-32…ドライビング回路活性化回路、35-1~35-32…リードライトデータ線対ドライビング回路、100, 100'…データ選択回路、102-1~102-12, 102'-1~102'-12…データ伝達回路、200, 200'…プリチャージ回路、300…DQ線イコライザ、302…伝達ゲート、304…内部DQ線イコライザ、306…センスアンプ、308…RWD線対ドライビング回路、310…RWD線イコライザ、400…第1マルチプレクス段、402…第2マルチプレクス段、450…スイッチ回路群、452…出力バッファ群、454…スイッチ回路、455…信号非活性化回路、500-1~500-4…データ伝達回路、501-1~501-4…選択回路、600…ラッチ回路。

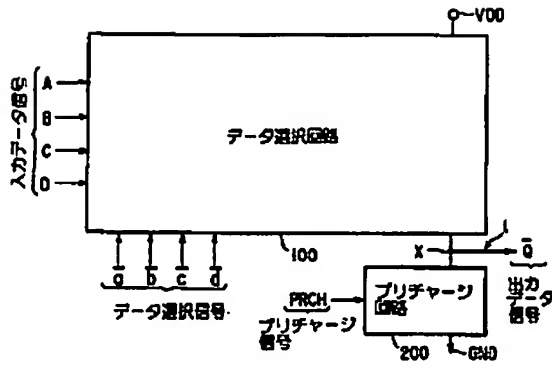
【図4】



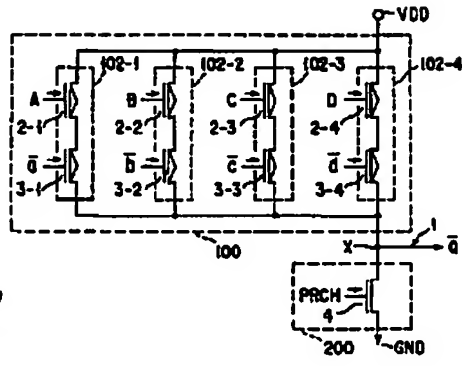
【図5】



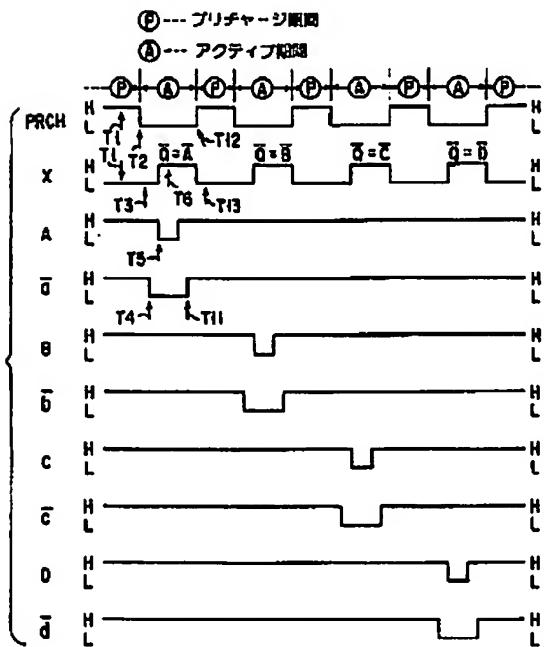
【図1】



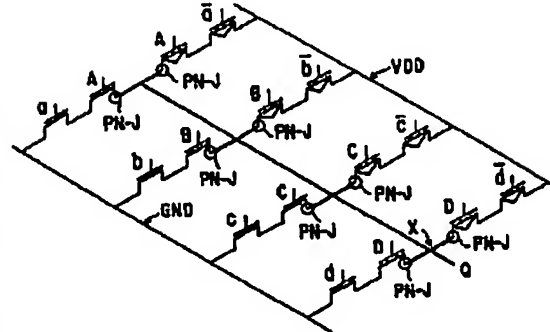
【図2】



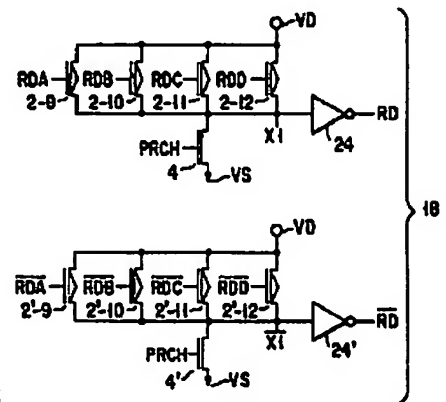
【図3】



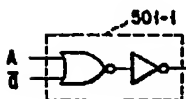
【図6】



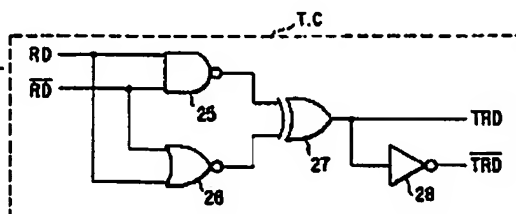
【図30】



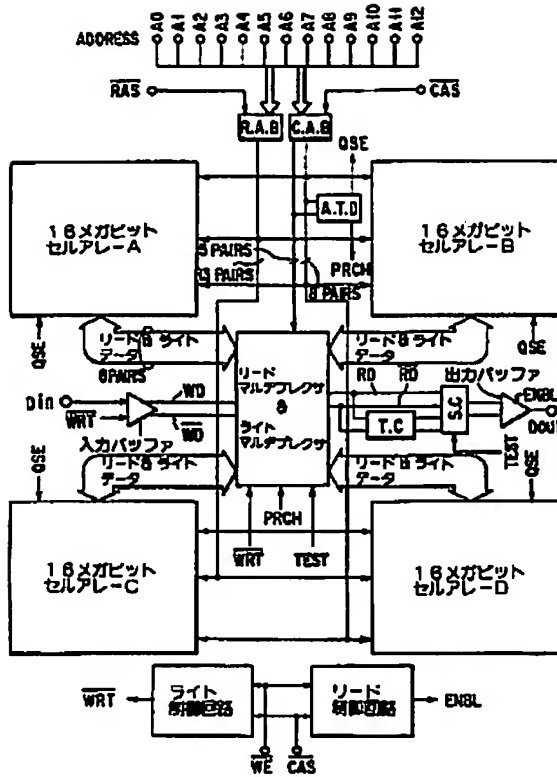
【図32】



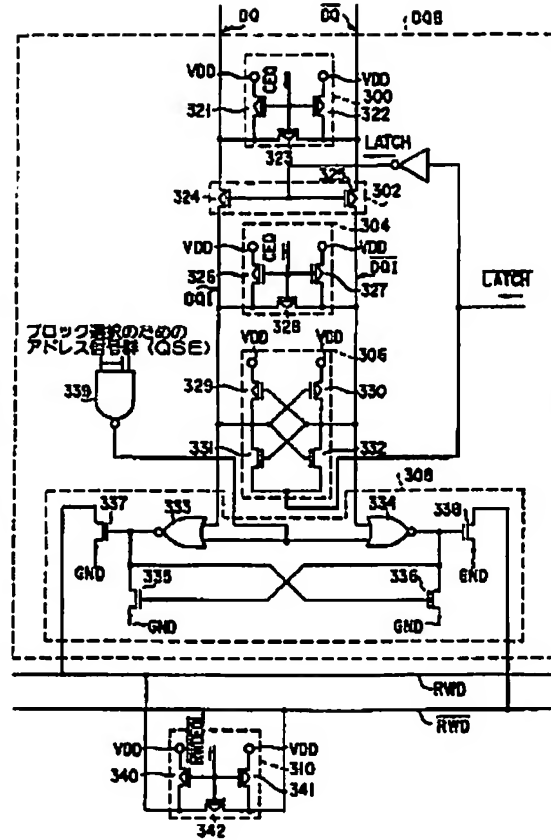
【図21】



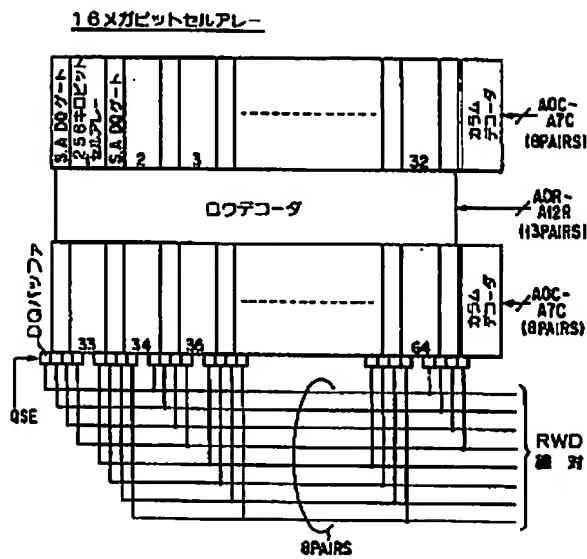
【図7】



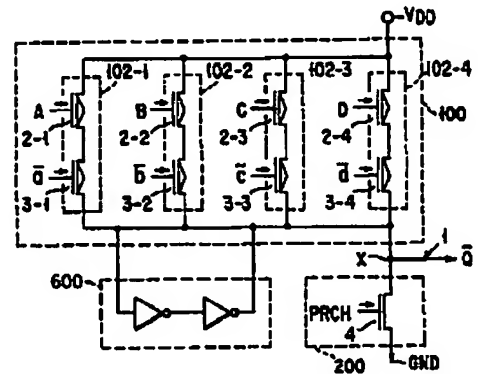
【图 10】



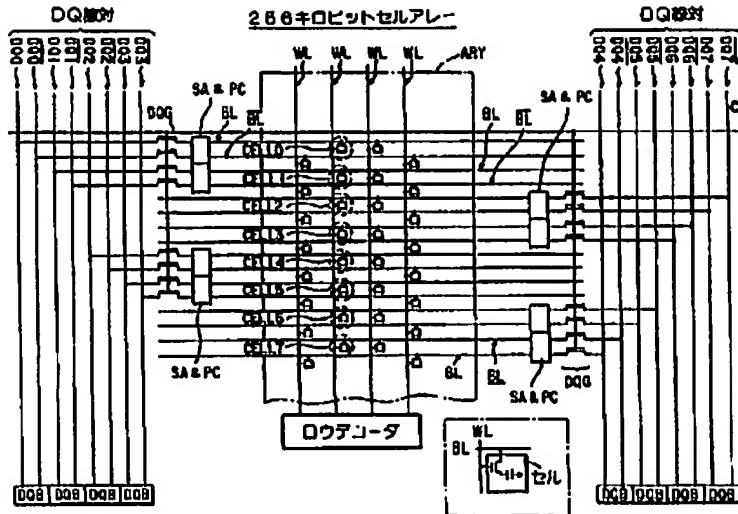
【图8】



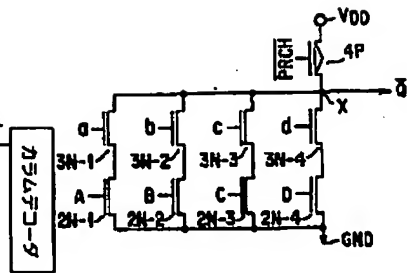
【図33】



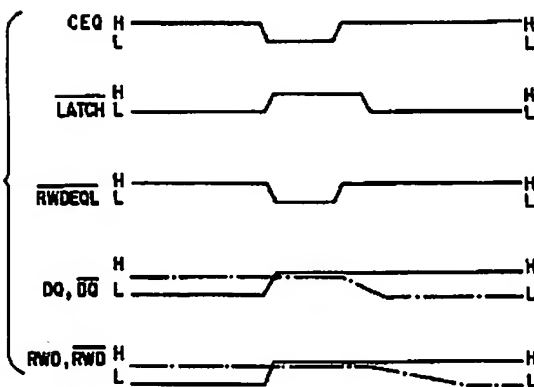
【図9】



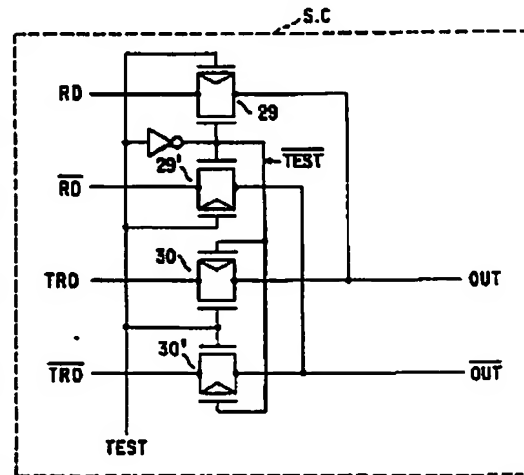
【図34】



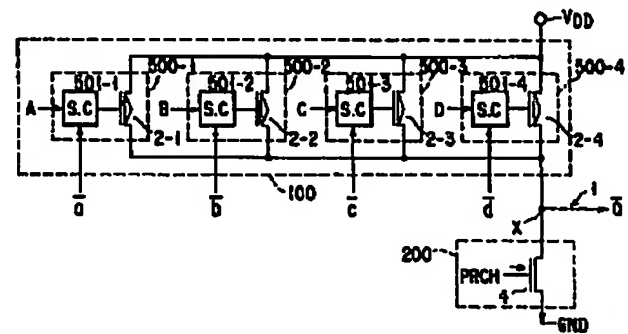
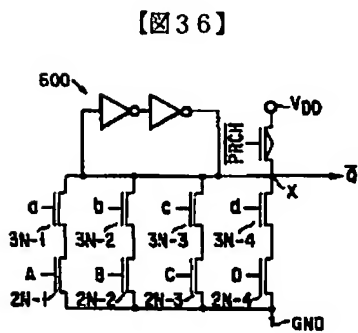
【図11】

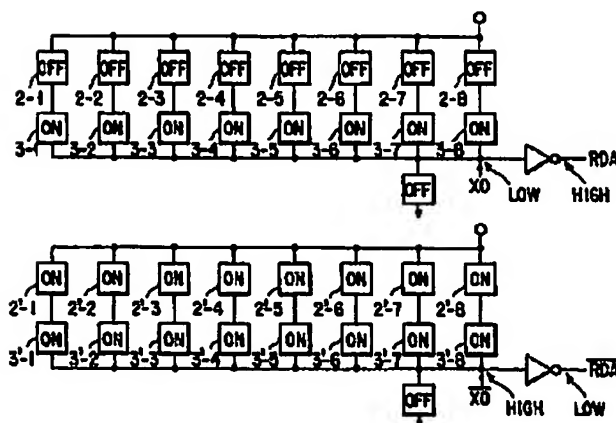
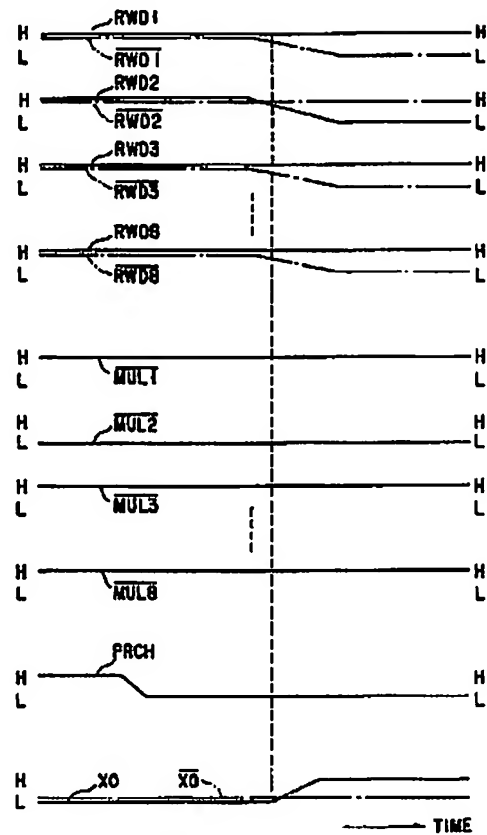
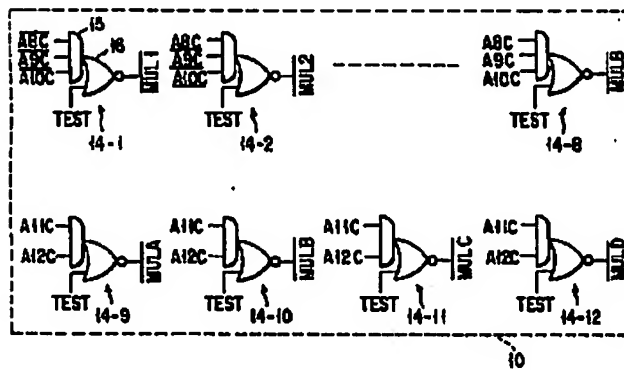
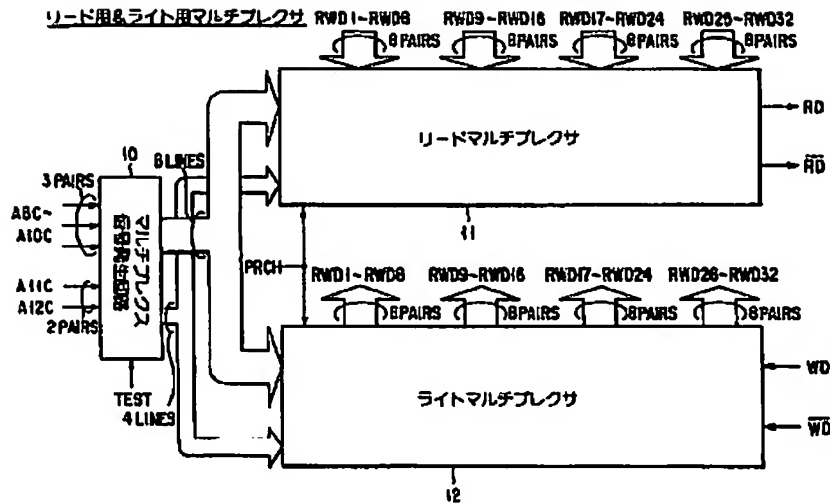


【図22】

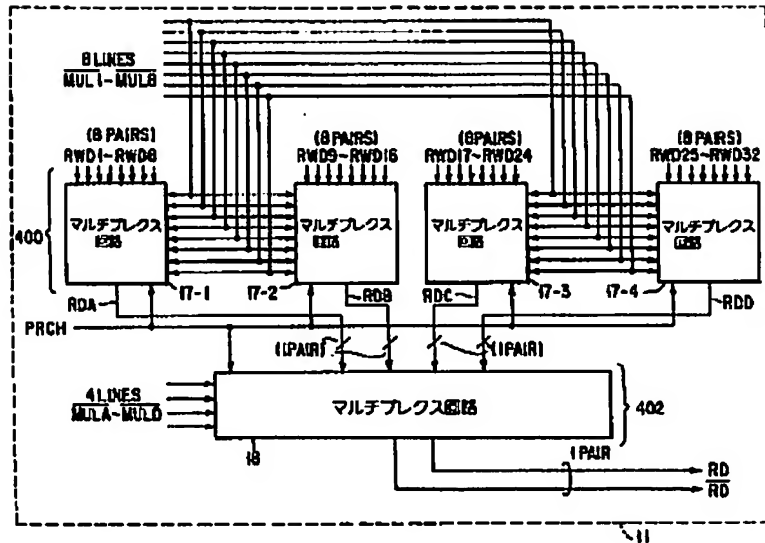


【図31】

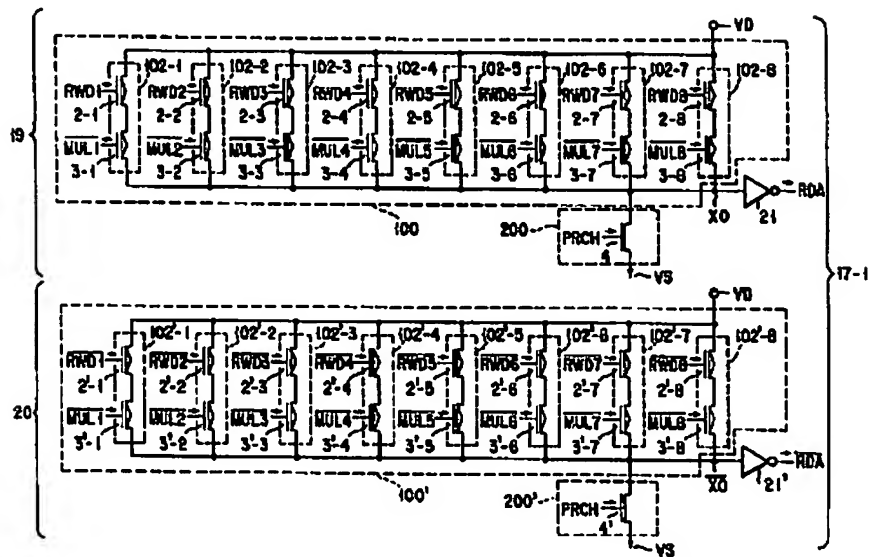




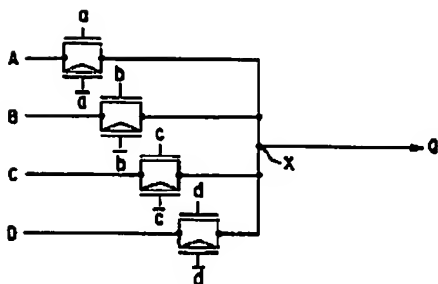
【図14】



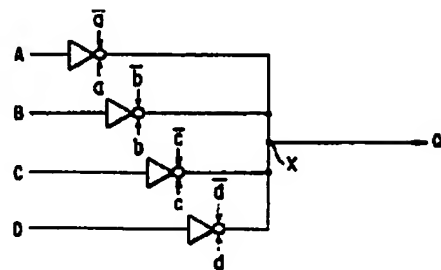
【図15】



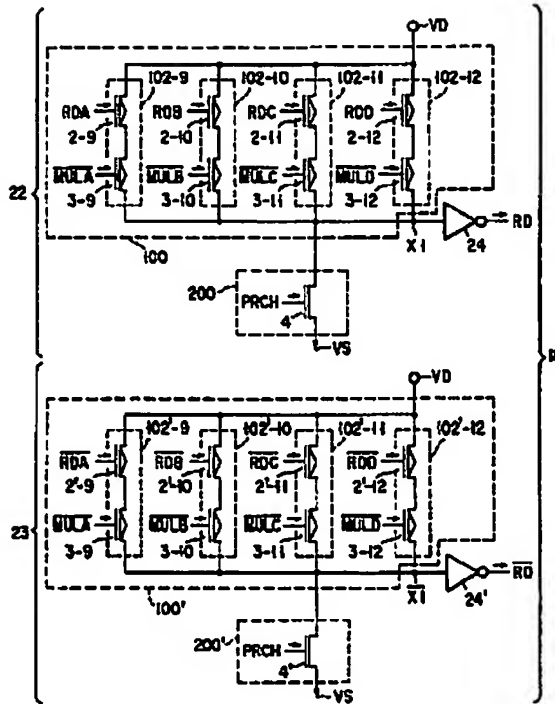
【図37】



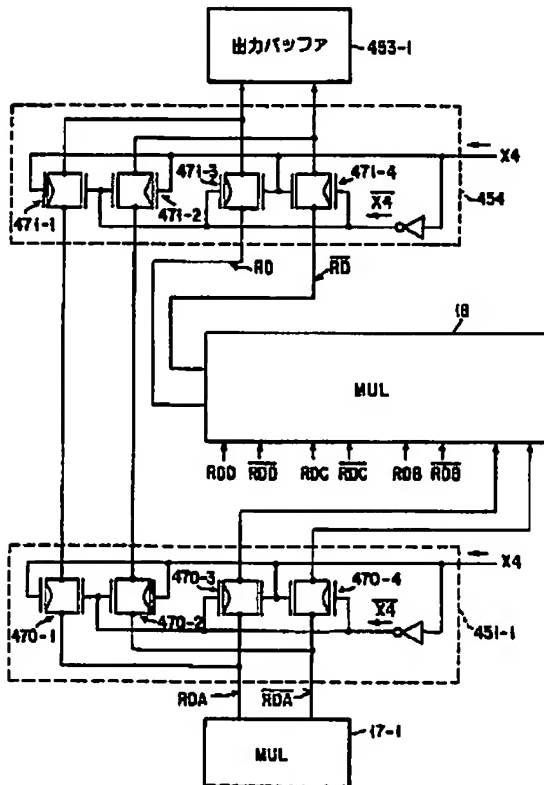
【図38】



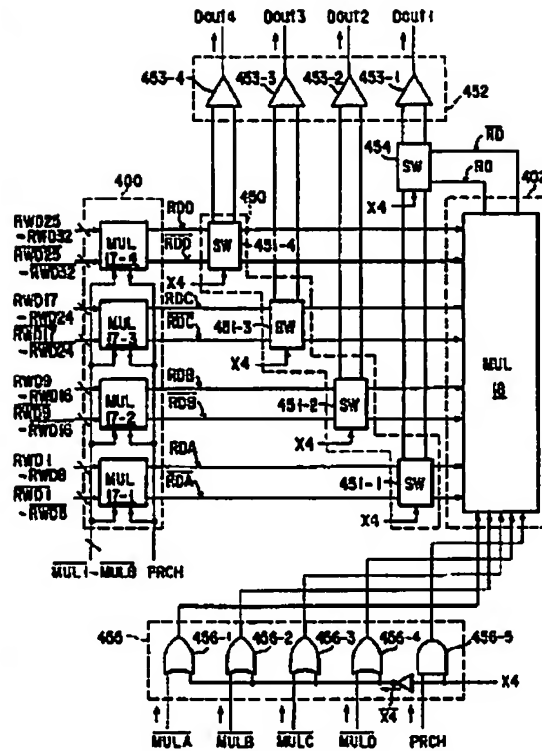
【図16】



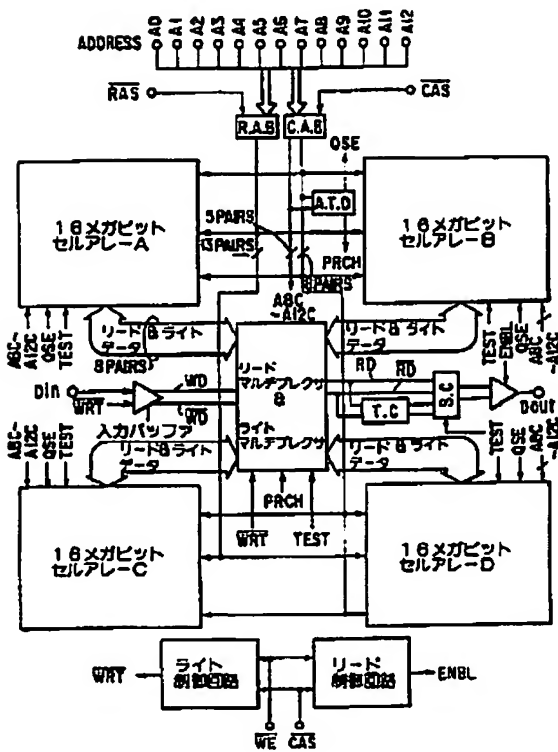
【図18】



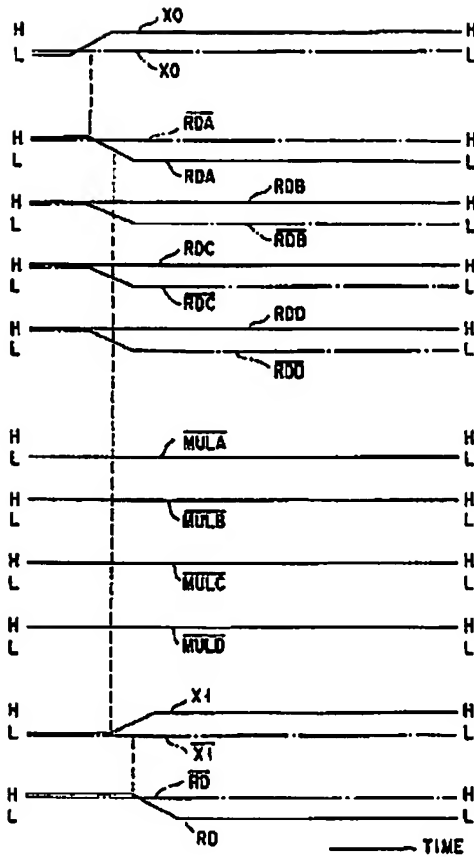
【図17】



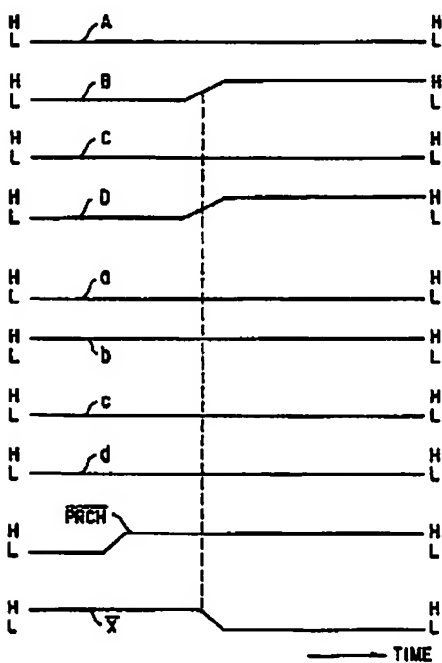
【図27】



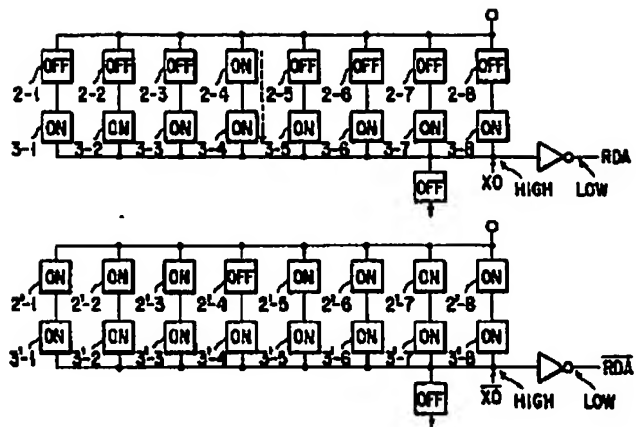
【図20】



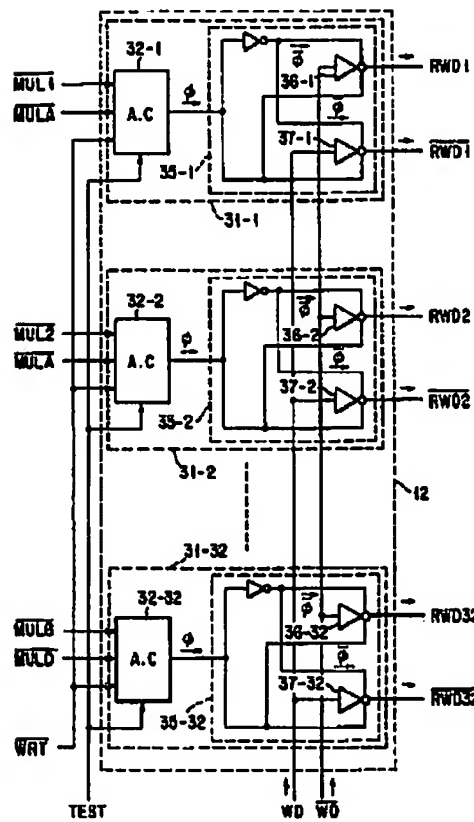
【図35】



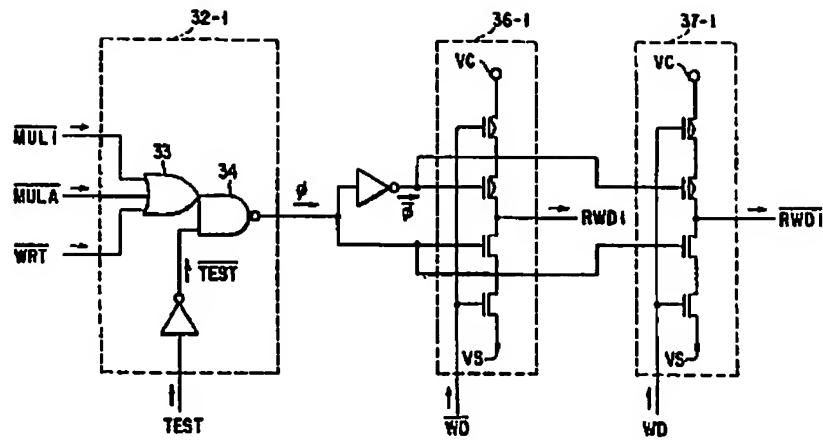
【図24】



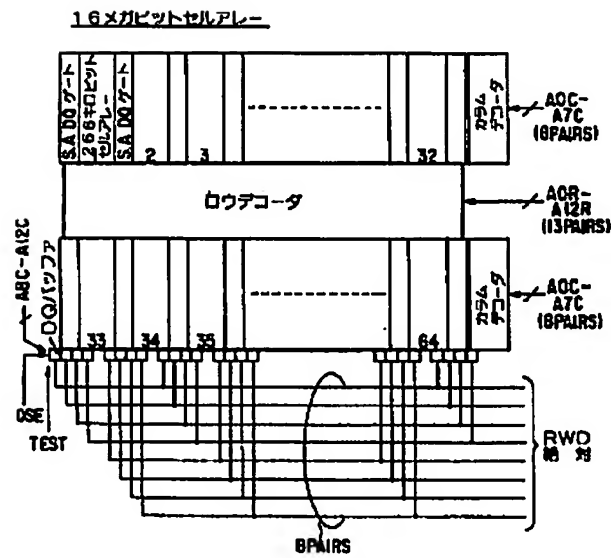
【図25】



【図26】



【図28】



【図29】

